

Docket No.: 67161-107

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Kenji KAWAI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 23, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

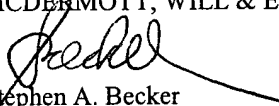
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

**Japanese Patent Application No. 2002-314371(P), filed on October 29, 2002.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:gav  
Facsimile: (202) 756-8087  
Date: September 23, 2003

67161-107

Kenji KAWAI

日 本 国 特 許 庁 September 23, 2003  
JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月29日

出 願 番 号

Application Number:

特願2002-314371

[ ST.10/C ]:

[ JP2002-314371 ]

出 願 人

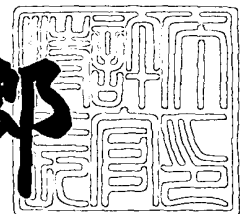
Applicant(s):

三菱電機株式会社

2002年11月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3093487

【書類名】 特許願

【整理番号】 540896JP01

【提出日】 平成14年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 川井 健治

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【選任した代理人】

    【識別番号】 100085132

    【弁理士】

    【氏名又は名称】 森田 俊雄

【選任した代理人】

    【識別番号】 100083703

    【弁理士】

    【氏名又は名称】 仲村 義平

【選任した代理人】

    【識別番号】 100096781

    【弁理士】

    【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、

頂面と前記半導体基板に達する孔とを有し、前記半導体基板の前記主表面上に形成された層間絶縁膜と、

側面と、その側面に連なり、かつ前記半導体基板の前記主表面からの距離が前記半導体基板の前記主表面から前記層間絶縁膜の前記頂面までの距離よりも大きい位置に設けられた頂面とを有し、前記孔を充填する導電膜と、

前記導電膜の前記頂面および前記側面に接触する下部電極と、

前記下部電極上に形成された誘電体膜と、

前記誘電体膜上に形成された上部電極とを備える、半導体装置。

【請求項 2】 前記導電膜は、前記下部電極に接触して形成され、チタン、タンタル、窒化チタン、窒化タンタル、チタニウム、窒化チタニウム、窒化タンタニウム、窒化ジルコニウムおよび酸窒化チタンからなる群より選ばれた少なくとも 1 種を含むバリアメタル層を含み、前記下部電極は金属を含む、請求項 1 に記載の半導体装置。

【請求項 3】 前記バリアメタル層の一部は、前記孔を充填するように形成されている、請求項 2 に記載の半導体装置。

【請求項 4】 前記下部電極と接触する前記導電膜の部分は、凹凸形状を有する、請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記導電膜は、前記導電膜の前記頂面側に開口された凹部を含み、前記下部電極は、前記凹部を充填するように形成されている、請求項 1 から 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 主表面を有する半導体基板と、

頂面と前記半導体基板に達する孔とを有し、前記半導体基板の前記主表面上に形成された層間絶縁膜と、

前記半導体基板の前記主表面からの距離が前記半導体基板の前記主表面から前記層間絶縁膜の前記頂面までの距離よりも大きい位置に設けられた頂面を有し、

前記孔を充填する導電膜と、

前記層間絶縁膜上に形成され、前記導電膜に接触する下部電極と、

前記下部電極上に形成された誘電体膜と、

前記誘電体膜上に形成された上部電極とを備え、

前記導電膜は、前記層間絶縁膜の前記頂面上に形成されたベース部と、そのベース部に連なり、かつ前記半導体基板の前記主表面から離隔する方向に延在する側壁部とを含み、

前記下部電極は、前記ベース部と前記側壁部とに接触して形成されている、半導体装置。

【請求項 7】 前記導電膜は、前記下部電極に接触して形成され、チタン、タンタル、窒化チタン、窒化タンタル、チタニウム、窒化チタニウム、窒化チタニウム、窒化ジルコニウムおよび酸窒化チタンからなる群より選ばれた少なくとも 1 種を含むバリアメタル層を含み、前記下部電極は金属を含む、請求項 6 に記載の半導体装置。

【請求項 8】 前記バリアメタル層の一部は、前記孔を充填するように形成されている、請求項 7 に記載の半導体装置。

【請求項 9】 前記下部電極と接触する前記導電膜の部分は、凹凸形状を有する、請求項 6 から 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】 前記導電膜は、前記下部電極と接触する面に開口された凹部をさらに含み、前記下部電極は、前記凹部を充填するように形成されている、請求項 6 から 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】 主表面を有する半導体基板と、

頂面と前記半導体基板に達する孔とを有し、前記半導体基板の前記主表面上に形成された層間絶縁膜と、

前記孔を充填する導電膜と、

前記層間絶縁膜の前記頂面に沿って延在する横孔を有し、前記層間絶縁膜上に形成された保持膜と、

前記横孔を充填する鍔状部分を有し、前記導電膜に接触する下部電極と、

前記下部電極上に形成された誘電体膜と、

前記誘電体膜上に形成された上部電極とを備える、半導体装置。

【請求項 1 2】 前記横孔は、前記半導体基板の前記主表面からの距離が前記半導体基板の前記主表面から前記層間絶縁膜の前記頂面までの距離よりも小さい位置に設けられている、請求項 1 1 に記載の半導体装置。

【請求項 1 3】 主表面を有する半導体基板と、

頂面と前記半導体基板に達する複数の孔とを有し、前記半導体基板の前記主表面上に形成された層間絶縁膜と、

前記孔の各々を充填する第 1 および第 2 の導電膜と、

前記層間絶縁膜の前記頂面から離隔するように延在し、かつ頂面が設けられる部分を有し、前記第 1 および第 2 の導電膜に接触して形成された第 1 および第 2 の下部電極と、

前記第 1 の下部電極に接続される一方端と、前記第 2 の下部電極に接続される他方端とを有し、前記部分の前記頂面側に形成された絶縁膜と、

前記第 1 および第 2 の下部電極上に形成された誘電体膜と、

前記誘電体膜上に形成された上部電極とを備える、半導体装置。

【請求項 1 4】 前記絶縁膜は頂面を有し、前記絶縁膜の前記頂面と前記部分の前記頂面とは、ほぼ同一平面にある、請求項 1 3 に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、一般的には、半導体装置に関するものであり、より特定的には、キャパシタを備える半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

近年、半導体装置、特に D R A M (dynamic random-access memory) の構造の微細化に伴い、メモリセルの投影面積に対して実際のキャパシタの有効面積を大きくできる円筒型キャパシタ構造が多用されている。この円筒型キャパシタ構造は、円筒状に形成された下部電極と、下部電極の表面を覆う誘電体膜および上部電極とを備える積層構造を有する。このような円筒型キャパシタ構造を有する半

導体装置は、たとえば特開 2 0 0 2 - 7 6 1 4 1 号公報に従来の技術として開示されている（特許文献 1。）。

## 【0 0 0 3】

特許文献 1 に開示されている従来の半導体装置は、半導体基板と、半導体基板上に形成され、半導体基板の主表面に達するコンタクトホールを有する層間絶縁膜と、コンタクトホールの一部を充填するプラグポリシリコン膜と、コンタクトホールの残りの部分を充填するバリヤー金属膜と、層間絶縁膜の頂面上にバリヤー金属膜と接触して形成された円筒状の下部電極と、下部電極上に形成された TaON 膜と、TaON 膜上に形成された上部電極とを備える。下部電極は、ルテニウム（Ru）から形成されている。下部電極、TaON 膜および上部電極によってキャパシタを構成している。バリヤー金属膜は、バリヤー金属膜の頂面と層間絶縁膜の頂面とが同一平面となるように形成されている。

## 【0 0 0 4】

続いて、上述の半導体装置の製造方法について説明する。半導体基板上の層間絶縁膜に半導体基板の主表面の一部を露出させるコンタクトホールを形成する。コンタクトホールに、プラグポリシリコンとバリヤー金属膜としてのチタン（Ti）／窒化チタン（TiN）が積層された金属膜とを順次埋めこむ。層間絶縁膜の頂面とバリヤー金属膜の頂面とを覆うキャップオキシド膜を蒸着する。キャパシタ領域を限定するため、バリヤー金属膜の頂面と層間絶縁膜の頂面の一部とが露出するようにキャップオキシド膜をパターニングする。

## 【0 0 0 5】

パターニングされたキャップオキシド膜の全面に下部電極としてのルテニウム膜を蒸着する。キャップオキシド膜の頂面が露出するように化学的機械研磨法（CMP；Chemical Mechanical Polishing）を用いてルテニウム膜を研磨する。これにより、ルテニウムからなる円筒状の下部電極が形成される。キャップオキシド膜を除去する。下部電極上に誘電率に優れた TaON 膜を形成する。TaON 膜上に上部電極を形成する。

## 【0 0 0 6】

【特許文献 1】



特開 2 0 0 2 - 7 6 1 4 1 号公報

【 0 0 0 7 】

【特許文献 2】

特開平 7 - 2 9 9 9 4 号公報

【 0 0 0 8 】

【特許文献 3】

特開平 7 - 7 4 3 2 5 号公報

【 0 0 0 9 】

【特許文献 4】

特開平 4 - 3 5 7 8 6 1 号公報

【 0 0 1 0 】

【発明が解決しようとする課題】

このような円筒型キャパシタを有する半導体装置において、さらなる半導体装置の微細化を実現するためには、キャパシタの高さを高くしてキャパシタ容量を確保する必要が生じる。このため、キャパシタのアスペクト比は増大する傾向にあり、下部電極は高くて細い形状に形成される。

【 0 0 1 1 】

しかし、下部電極が細い形状に形成されると、下部電極とバリヤー金属膜および層間絶縁膜との接触面積が縮小し両者の密着性が低下する。このため、上述の下部電極を形成しキャップオキシド膜を除去する工程から、下部電極上に TaO<sub>N</sub> 膜と上部電極とを順次形成する工程までにかけて、下部電極がバリヤー金属膜の頂面および層間絶縁膜の頂面から剥がれて倒れるおそれがある。

【 0 0 1 2 】

また、キャパシタ容量を向上させることを目的として、下部電極には金属が使用されている。しかし、ポリシリコン同士の密着性と比較して、ポリシリコンと金属との密着性は低下する。このため、バリヤー金属膜を使用せずプラグポリシリコン膜上に直接ルテニウムからなる下部電極を形成した場合には、下部電極が倒れるおそれがより一層増大する。そして、このように下部電極が半導体装置の製造工程中に倒れると、キャパシタ動作の不良または隣接するキャパシタ間のシ

ョートの原因となったり、下部電極が異物となって半導体装置に悪影響を与えるという問題が発生する。

【 0 0 1 3 】

そこでこの発明の目的は、上記の課題を解決することであり、半導体装置の微細化を実現するとともに、所望のキャパシタ構造を得ることによって信頼性の高い半導体装置を提供することである。

【 0 0 1 4 】

【課題を解決するための手段】

この発明に従った半導体装置は、主表面を有する半導体基板と、頂面と半導体基板に達する孔とを有し、半導体基板の主表面上に形成された層間絶縁膜と、側面と、その側面に連なる頂面とを有し、孔を充填する導電膜と、導電膜の頂面および側面に接触する下部電極と、下部電極上に形成された誘電体膜と、誘電体膜上に形成された上部電極とを備える。導電膜が有する頂面は、半導体基板の主表面からの距離が半導体基板の主表面から層間絶縁膜の頂面までの距離よりも大きい位置に設けられている。

【 0 0 1 5 】

【発明の実施の形態】

この発明の実施の形態について、図面を参照して説明する。

【 0 0 1 6 】

(実施の形態 1)

図 1 は、この発明の実施の形態 1 における半導体装置を示す断面図である。図 1 を参照して、半導体装置は、円筒形状に形成された下部電極 1 3 と、下部電極 1 3 の表面に沿って形成された誘電体膜 1 4 と、誘電体膜 1 4 を覆うように形成された上部電極 1 5 とから構成される円筒型キャパシタを備える。

【 0 0 1 7 】

シリコン基板 1 の主表面 1 a 上には、シリコン酸化膜からなるゲート絶縁膜 3 a および 3 b を介してゲート電極 4 a および 4 b が所定の間隔を隔てて形成されている。ゲート電極 4 a および 4 b は、下から順にポリシリコン／タンゲステンシリサイド (W S i) が成膜された積層膜から形成されている。ゲート電極 4 a

および4 bを、ポリシリコン／窒化タングステン (WN)／タングステン (W)、またはポリシリコン／窒化チタン (TiN)／タングステンの積層膜から形成しても良い。ゲート電極4 aおよび4 bの間に位置するシリコン基板1の主表面1 aには、n型の不純物領域2が形成されている。ゲート電極4 aおよび4 bの頂面上には、シリコン窒化膜からなる絶縁膜マスク5 aおよび5 bが形成されている。

## 【 0 0 1 8 】

層間絶縁膜6が、シリコン基板1の主表面1 aと絶縁膜マスク5 aおよび5 bの頂面とを覆うように形成されている。層間絶縁膜6は、シリコン酸化膜からなり、たとえばTEOS (Tetra Ethyl Ortho Silicate)／BPTEOS (Boro Phospho Tetra Ethyl Ortho Silicate)／TEOSが下から順に積層されている。層間絶縁膜6には、不純物領域2に達するコンタクトホール7が形成されている。コンタクトホール7には、ドーフトポリシリコンが充填されてプラグ電極8が形成されている。プラグ電極8は、プラグ電極8の頂面と層間絶縁膜6の頂面6 aとが同一平面となるように形成されている。

## 【 0 0 1 9 】

層間絶縁膜6の頂面6 a上には、窒化タンタル (TaN) からなるバリアメタル膜10が、プラグ電極8と接触して形成されている。バリアメタル膜10は、プラグ電極8の頂面を完全に覆っている。バリアメタル膜10を、チタン (Ti)、タンタル (Ta)、窒化チタン (TiN)、チタンタングステン (TiW)、窒化タングステン (WN)、窒化チタンタングステン (WTiN)、窒化ジルコニウム (ZrN)、または酸窒化チタン (TiON) などから形成しても良い。また、バリアメタル膜10を、下から順にチタン／窒化チタン、チタン／窒化チタン／チタンまたは窒化タンタル／タンタルが堆積された積層膜から形成しても良い。バリアメタル膜10は、シリコン基板1の主表面1 aと平行に位置し、かつ層間絶縁膜6の頂面6 aよりも高く位置する頂面10 aと、頂面10 aから層間絶縁膜6の頂面6 aに向かって延びる側面10 bとを有する。プラグ電極8とバリアメタル膜10とによって導電膜11が構成されている。

## 【 0 0 2 0 】

層間絶縁膜 6 の頂面 6 a 上には、バリアメタル膜 1 0 の側面 1 0 b と距離を隔てた位置に開口された孔を有するエッチングストッパ膜 1 2 が形成されている。エッチングストッパ膜 1 2 は、シリコン窒化膜から形成されている。層間絶縁膜 6 の頂面 6 a 上には、ルテニウム (Ru) からなる下部電極 (ストレージノード) 1 3 が形成されている。下部電極 1 3 は、バリアメタル膜 1 0 の頂面 1 0 a および側面 1 0 b と、層間絶縁膜 6 の頂面 6 a の一部とに接触して形成されている。下部電極 1 3 は、バリアメタル膜 1 0 の側面 1 0 b を挟持する形状で設けられている。下部電極 1 3 は、上方に開口された円筒形状し、その円筒形状部分は、シリコン基板 1 の主表面 1 a から離隔する方向へと延びて形成されている。下部電極 1 3 を、白金 (Pt)、インジウム (In)、金 (Au)、または銀 (Ag) などから形成しても良い。

#### 【0021】

下部電極 1 3 およびエッチングストッパ膜 1 2 を覆うように、 $Ta_2O_5$  からなる誘電体膜 1 4 が形成されている。誘電体膜 1 4 を覆うようにルテニウムからなる上部電極 (セルプレート) 1 5 が形成されている。なお、誘電体膜 1 4 を、 $SiO_2$ 、 $SiN$ 、 $BST ((Ba, Sr) TiO_3)$ 、酸化アルミニウム ( $Al_2O_3$ )、酸化ハフニウム ( $HfO_2$ )、またはチタン酸ジルコニウム酸鉛 (PZT) から形成しても良い。また、上部電極 1 5 を、窒化チタン (TiN)、白金 (Pt)、イリジウム (Ir)、銅 (Cu)、銀 (Ag)、または金 (Au) から形成しても良い。この場合、代表的に言えば、誘電体膜 1 4 と上部電極 1 5 とは  $Ta_2O_5 / TiN$ 、 $BST / Pt$ 、または  $PZT / Pt$  の組合せで使用される。

#### 【0022】

このように下部電極 1 3 を金属から形成することによって、下部電極 1 3 をポリシリコンから形成する場合と比較して、以下の理由からキャパシタ容量を向上させることができる。つまり、一般的に誘電体膜は酸化膜系からなるため、下部電極にポリシリコンを用いた場合、誘電体膜の成膜時に下部電極の表面が酸化される。この酸化された下部電極の部分は誘電体膜として作用するため、誘電体膜の実効膜厚は厚くなる。キャパシタ容量が誘電体膜の膜厚に反比例することは良く知られており、このためキャパシタ容量は低下する。これに対して下部電極 1

3を金属から形成すれば、このような弊害を防止することができる。なお、ルテニウムは酸化物も導電膜であり、白金は酸化されにくいことから、下部電極にルテニウムおよび白金を使用することが特に注目されている。

#### 【 0 0 2 3 】

また本実施の形態では、下部電極 1 3 とプラグ電極 8 との間にバリアメタル膜 1 0 を介在させている。バリアメタル膜 1 0 を設けない場合、下部電極 1 3 とプラグ電極 8 とは直接接触するため、金属とポリシリコンとの反応が問題となる。つまり、金属とポリシリコンとが接触した状態で高温にすると、その界面で反応が起こり金属シリコン（金属シリサイド）が形成される。一般的には、金属がシリコンを吸い上げてポリシリコン（プラグ電極 8）に欠陥または空洞が形成される。このように、プラグ電極 8 の下部電極 1 3 との接触面に欠陥または空洞が形成されれば、プラグ電極 8 と下部電極 1 3 との接触面積は縮小し、両者の密着性が低下することとなる。さらに、下部電極 1 3 とプラグ電極 8 との間のコンタクト抵抗が増加するという問題も発生する。

#### 【 0 0 2 4 】

以上のような弊害を防止するために、本実施の形態ではバリアメタル膜 1 0 を設けているが、バリアメタル膜 1 0 を設けない場合であっても本発明を適用することは可能である。その場合、プラグ電極 8 をプラグ電極 8 の頂面が層間絶縁膜 6 の頂面 6 a より高い位置に設けられるように形成し、そのプラグ電極 8 を覆うように下部電極 1 3 を形成すれば良い。

#### 【 0 0 2 5 】

この発明の実施の形態 1 に従った半導体装置は、主表面 1 a を有する半導体基板としてのシリコン基板 1 と、頂面 6 a とシリコン基板 1 に達する孔としてのコンタクトホール 7 とを有し、シリコン基板 1 の主表面 1 a 上に形成された層間絶縁膜 6 と、側面 1 0 b とその側面 1 0 b に連なる頂面 1 0 a とを有し、コンタクトホール 7 を充填する導電膜 1 1 と、導電膜 1 1 の頂面 1 0 a および側面 1 0 b に接触する下部電極 1 3 と、下部電極 1 3 上に形成された誘電体膜 1 4 と、誘電体膜 1 4 上に形成された上部電極 1 5 とを備える。導電膜 1 1 が有する頂面 1 0 a は、シリコン基板 1 の主表面 1 a からの距離がシリコン基板 1 の主表面 1 a か

ら層間絶縁膜 6 の頂面 6 a までの距離よりも大きい位置に設けられている。

【 0 0 2 6 】

導電膜 1 1 は、下部電極 1 3 に接触して形成され、チタン、タンタル、窒化チタン、窒化タンタル、チタタンングステン、窒化タンングステン、窒化チタタンングステン、窒化ジルコニウムおよび酸窒化チタンからなる群より選ばれた少なくとも 1 種としての窒化タンタルを含むバリアメタル層としてのバリアメタル膜 1 0 を含む。下部電極 1 3 は金属としてのルテニウムを含む。

【 0 0 2 7 】

なお、本実施の形態では、半導体装置は円筒型キャパシタを備えるが、本発明はこれに限定されるものではない。本発明は、特に、アスペクト比（電極高さ／電極幅）が 1 以上の下部電極を有する半導体装置に適用される。

【 0 0 2 8 】

図 2 から図 9 は、図 1 中に示す半導体装置の製造方法の工程を示す断面図である。図 1 から図 9 を用いて、図 1 中に示す半導体装置の製造方法について説明する。

【 0 0 2 9 】

図 2 を参照して、シリコン基板 1 の主表面 1 a 上にシリコン酸化膜を膜厚数 n m 程度で形成する。その上からポリシリコン膜およびタンングステンシリサイド膜を順次堆積する。さらにその上からシリコン窒化膜を形成する。所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、シリコン窒化膜にエッチングを行ない、絶縁膜マスク 5 a および 5 b を形成する。絶縁膜マスク 5 a および 5 b をマスクとして、ポリシリコン膜およびタンングステンシリサイド膜にエッチングを行ない、所定形状のゲート電極 4 a および 4 b をゲート絶縁膜 3 を介して形成する。絶縁膜マスク 5 a および 5 b をマスクとして、シリコン基板 1 の主表面 1 a にリンまたはヒ素などの不純物を注入し、n 型の不純物領域 2 を形成する。

【 0 0 3 0 】

図 3 を参照して、シリコン基板 1 の主表面 1 a および絶縁膜マスク 5 a および 5 b の頂面を覆うように、TEOS、BPTEOS および TEOS を順次堆積し

、シリコン酸化膜からなる層間絶縁膜 6 を形成する。層間絶縁膜 6 の頂面 6 a 上に所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、層間絶縁膜 6 にエッチングを行ない、不純物領域 2 に達するコンタクトホール 7 を形成する。コンタクトホール 7 を充填し層間絶縁膜 6 の頂面 6 a を覆うように、ドーフトポリシリコン膜を堆積する。化学的機械研磨法 (CMP) またはエッチバックにより、このドーフトポリシリコン膜を層間絶縁膜 6 の頂面 6 a が露出するまで除去し、コンタクトホール 7 にドーフトポリシリコン膜を残存させる。これにより、コンタクトホール 7 にはプラグ電極 8 が形成される。

#### 【 0 0 3 1 】

図 4 および図 5 を参照して、バリアメタル膜 1 0 を形成するために、層間絶縁膜 6 の頂面 6 a 上に窒化タンタルからなる金属膜を堆積する。その金属膜上に所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして金属膜にエッチングを行ない、所定形状を有するバリアメタル膜 1 0 を形成する。

#### 【 0 0 3 2 】

図 6 を参照して、層間絶縁膜 6 上にシリコン窒化膜からなるエッチングストップ膜 1 2 と、TEOS などを原料としたシリコン酸化膜からなる層間絶縁膜 2 1 とを順次堆積する。その上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、シリコン酸化膜およびシリコン窒化膜にエッチングを行ない、所定形状に開口されたコンタクトホール 1 8 を形成する。

#### 【 0 0 3 3 】

図 7 を参照して、下部電極 1 3 を形成するために、コンタクトホール 1 8 の表面および層間絶縁膜 2 1 の頂面 2 1 a を覆うようにルテニウムからなる金属膜を堆積する。

#### 【 0 0 3 4 】

図 8 を参照して、化学的機械研磨法、ドライエッチング、またはウェットエッチングにより、ルテニウムからなる金属膜を層間絶縁膜 2 1 の頂面 2 1 a が露出

するまで除去する。この際ドライエッチングを使用する場合には、 $O_2/C1_2$  ガスを用いたプラズマエッチングを行なう。なお、下部電極 13 が白金から形成されている場合には、 $C1_2/Ar$  ガスを用いたプラズマエッチングを行なえば良い。また、層間絶縁膜 21 に形成されたコンタクトホール 18 に位置する金属膜が除去されないように、金属膜によって規定されている凹部に有機保護膜を埋め込んでも良い。これにより円筒形状を有する下部電極 13 が形成される。

#### 【0035】

図9を参照して、フッ酸(HF)水溶液を用いたウェットエッチングにより、エッチングストップ膜 12 上の層間絶縁膜 21 を除去する。シリコン酸化膜からなる層間絶縁膜 21 を除去する方法としてウェットエッチングを用いているので、ドライエッチングによる場合と比較して、ルテニウムおよびシリコン窒化膜に対してエッチング選択比を大きくとることができる。これにより、下部電極 13 およびエッチングストップ膜 12 に対するダメージを極力抑制することができる。

#### 【0036】

本実施の形態における半導体装置の特徴として、プラグ電極 8、バリア金属膜 10 および下部電極 13 のシリコン基板 1 の主表面 1a に平行な面上での断面積(矢印 26、矢印 27 および矢印 28 の示す長さで表わされる面積)が、プラグ電極 8、バリア金属膜 10 および下部電極 13 の順に大きくなる。

#### 【0037】

図1を参照して、下部電極 13 およびエッチングストップ膜 12 を覆うように  $Ta_2O_5$  からなる薄膜を堆積し、誘電体膜 14 を形成する。誘電体膜 14 を覆うようにルテニウムからなる金属膜を堆積し上部電極 15 を形成する。以上の工程により、図1中に示す半導体装置が完成する。

#### 【0038】

このように構成された半導体装置によれば、下部電極 13 は、層間絶縁膜 6 の頂面 6a 上に位置する導電膜 11 を挟持する形状で設けられている。より具体的に言えば、下部電極 13 は、導電膜 11 を構成するバリア金属膜 10 の側面 10b を挟持する形状で設けられている。また、バリア金属膜 10 の頂面 10a



は層間絶縁膜 6 の頂面 6 a よりも高い位置にあるため、シリコン基板 1 の主表面 1 a に平行な面上でのバリアメタル膜 1 0 の断面積をコンタクトホール 7 の断面積よりも大きくすることができる。したがって、半導体装置の微細化のためコンタクトホール 7 の開口面積が制限される場合であっても、下部電極 1 3 とバリアメタル膜 1 0 との接触面積を増大させることができる。これにより、下部電極 1 3 とバリアメタル膜 1 0 との密着性は向上する。

## 【 0 0 3 9 】

以上の理由から、半導体装置の製造工程の途中に、下部電極 1 3 が層間絶縁膜 6 の頂面 6 a 上から剥がれて倒れることを防止することができる。これにより、所望のキャパシタ構造を実現し、信頼性の高い半導体装置を提供することができる。また、下部電極 1 3 のアスペクト比（電極高さ／電極幅）を大きくできるので、半導体装置の微細化を図ることができる。

## 【 0 0 4 0 】

## （実施の形態 2）

図 1 0 は、この発明の実施の形態 2 における半導体装置を示す断面図である。実施の形態 2 における半導体装置は、実施の形態 1 における半導体装置と比較して、導電膜 1 1 の構造が異なる。以下において、重複する構造の説明は省略する。

## 【 0 0 4 1 】

図 1 0 を参照して、コンタクトホール 7 には、ドーフトポリシリコンなどが充填されてプラグ電極 8 が形成されている。プラグ電極 8 は、プラグ電極 8 の頂面が層間絶縁膜 6 の頂面 6 a よりも低くなるように形成されている。プラグ電極 8 が形成されていないコンタクトホール 7 の残りの部分を充填するように、窒化タンタルからなるバリアメタル膜 1 0 n が形成されている。バリアメタル膜 1 0 n は、バリアメタル膜 1 0 n の頂面と層間絶縁膜 6 の頂面 6 a とが同一平面となるように形成されている。層間絶縁膜 6 上には、バリアメタル膜 1 0 n と接触して、図 1 中に示すバリアメタル膜 1 0 と同一形状を有するバリアメタル膜 1 0 m が形成されている。プラグ電極 8 とバリアメタル膜 1 0 n および 1 0 m とによって導電膜 1 1 が構成されている。

## 【 0 0 4 2 】

この発明の実施の形態 2 に従った半導体装置では、バリアメタル層の一部としてのバリアメタル膜 1 0 n は、コンタクトホール 7 を充填するように形成されている。

## 【 0 0 4 3 】

このように構成された半導体装置によれば、実施の形態 1 に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜 1 0 n がコンタクトホール 7 の一部を充填しているため、バリアメタル膜 1 0 n および 1 0 m が層間絶縁膜 6 から剥がれてしまうことを防止することができる。

## 【 0 0 4 4 】

## (実施の形態 3)

図 1 1 は、この発明の実施の形態 3 における半導体装置を示す断面図である。実施の形態 3 における半導体装置は、実施の形態 1 における半導体装置と比較して、導電膜 1 1 の構造が異なる。以下において、重複する構造の説明は省略する。

## 【 0 0 4 5 】

図 1 1 を参照して、コンタクトホール 7 には、ドーフトポリシリコンなどが充填されてプラグ電極 8 が形成されている。プラグ電極 8 は、プラグ電極 8 の頂面が層間絶縁膜 6 の頂面 6 a よりも低くなるように形成されている。プラグ電極 8 の頂面、コンタクトホール 7 の側壁、および層間絶縁膜 6 の頂面 6 a の一部を覆うようにバリアメタル膜 1 0 が形成されている。バリアメタル膜 1 0 は、層間絶縁膜 6 の頂面 6 a よりも高く位置する頂面 1 0 a と、頂面 1 0 a から層間絶縁膜 6 の頂面 6 a に向かって延びる側面 1 0 b とを有する。バリアメタル膜 1 0 は、頂面 1 0 a 側に開口された凹部 2 5 を有する。プラグ電極 8 とバリアメタル膜 1 0 によって導電膜 1 1 が構成されている。下部電極 1 3 は、バリアメタル膜 1 0 の頂面 1 0 a および側面 1 0 b と接触し、かつ凹部 2 5 を充填するように形成されている。

## 【 0 0 4 6 】

この発明の実施の形態 3 に従った半導体装置では、導電膜 1 1 は、導電膜 1 1

の頂面としての頂面 1 0 a 側に開口された凹部 2 5 を含む。下部電極 1 3 は、凹部 2 5 を充填するように形成されている。

## 【 0 0 4 7 】

このように構成された半導体装置によれば、実施の形態 1 に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜 1 0 は凹部 2 5 を備えるため、下部電極 1 3 とバリアメタル膜 1 0 との接触面積を増大させることができる。これにより、下部電極 1 3 とバリアメタル膜 1 0 との密着性は向上する。また、下部電極 1 3 は、バリアメタル膜 1 0 の側面 1 0 b および頂面 1 0 a と凹部 2 5 を規定するバリアメタル膜 1 0 の表面とによって形成される凹凸形状に嵌め合わされる形態で設けられている。以上の理由から、半導体装置の製造工程の途中に、下部電極 1 3 が層間絶縁膜 6 の頂面 6 a 上から剥がれて倒れることをより確実に防止することができる。

## 【 0 0 4 8 】

## (実施の形態 4)

図 1 2 は、この発明の実施の形態 4 における半導体装置を示す断面図である。実施の形態 4 における半導体装置は、実施の形態 1 における半導体装置と比較して、バリアメタル膜 1 0 の構造が異なる。以下において、重複する構造の説明は省略する。

## 【 0 0 4 9 】

図 1 2 を参照して、バリアメタル膜 1 0 の頂面 1 0 a が凹凸形状に形成されている。下部電極 1 3 は、バリアメタル膜 1 0 の頂面 1 0 a 上でその凹凸形状と噛み合うように形成されている。

## 【 0 0 5 0 】

この発明の実施の形態 4 に従った半導体装置では、下部電極 1 3 と接触する導電膜 1 1 の部分としての頂面 1 0 a は凹凸形状を有する。

## 【 0 0 5 1 】

図 1 3 から図 1 5 は、図 1 2 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 1 における半導体装置の製造方法の図 2 から図 4 に示す工程の後、図 1 3 から図 1 5 に示す工程が続く。さらにこの後に、実施の形態 1 に

における半導体装置の製造方法の図 6 から図 9 に示す工程および図 1 に示す工程が続く。以下において、重複する製造工程の説明は省略する。

【0052】

図 13 を参照して、バリアメタル膜 10 を形成するために、層間絶縁膜 6 の頂面 6 a 上にアモルファス状の窒化タンタルからなる金属膜を堆積する。その金属膜の表面に、その後核となって成長する Ta 粒子 31 を付着させる。

【0053】

図 14 および図 15 を参照して、アモルファス状の窒化タンタルからなる金属膜を高真空中で加熱する。これにより、金属膜に付着された Ta 粒子 31 は、金属膜のアモルファス部分を侵食しながら結晶成長する。以上の工程により、バリアメタル膜 10 の頂面 10 a は凹凸形状に形成される。

【0054】

このように構成された半導体装置によれば、実施の形態 1 に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜 10 の頂面 10 a は凹凸形状に形成されているため、下部電極 13 とバリアメタル膜 10 との接触面積を増大させ、両者の密着性を向上させることができる。これにより、半導体装置の製造工程の途中に、下部電極 13 が層間絶縁膜 6 の頂面 6 a 上から剥がれて倒れることをより確実に防止することができる。

【0055】

(実施の形態 5)

図 16 は、この発明の実施の形態 5 における半導体装置を示す断面図である。実施の形態 5 における半導体装置は、実施の形態 4 における半導体装置と比較して、導電膜 11 の構造が異なる。以下において、重複する構造の説明は省略する。

【0056】

図 16 を参照して、コンタクトホール 7 には、ドーフトポリシリコンなどが充填されてプラグ電極 8 が形成されている。プラグ電極 8 は、プラグ電極 8 の頂面が層間絶縁膜 6 の頂面 6 a よりも低くなるように形成されている。プラグ電極 8 が形成されていないコンタクトホール 7 の残りの部分を充填するように、窒化タ

ンタルからなるバリアメタル膜 1 0 q が形成されている。バリアメタル膜 1 0 q は、バリアメタル膜 1 0 q の頂面と層間絶縁膜 6 の頂面 6 a とが同一平面となるように形成されている。層間絶縁膜 6 上には、バリアメタル膜 1 0 q と接触して、図 1 2 中に示すバリアメタル膜 1 0 と同一形状を有するバリアメタル膜 1 0 p が形成されている。プラグ電極 8 とバリアメタル膜 1 0 p および 1 0 q とによって導電膜 1 1 が構成されている。

## 【 0 0 5 7 】

このように構成された半導体装置によれば、実施の形態 4 に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜 1 0 q がコンタクトホール 7 の一部を充填しているため、バリアメタル膜 1 0 p および 1 0 q が層間絶縁膜 6 から剥がれてしまうことを防止することができる。

## 【 0 0 5 8 】

## (実施の形態 6)

図 1 7 は、この発明の実施の形態 6 における半導体装置を示す断面図である。実施の形態 6 における半導体装置は、実施の形態 1 における半導体装置と比較して、導電膜 1 1 の構造が異なる。以下において、重複する構造の説明は省略する。

## 【 0 0 5 9 】

図 1 7 を参照して、層間絶縁膜 6 の頂面 6 a 上には、窒化タンタルからなるバリアメタル膜 3 5 が、プラグ電極 8 と接触するように形成されている。バリアメタル膜 3 5 は、プラグ電極 8 の頂面を完全に覆っている。バリアメタル膜 3 5 を、実施の形態 1 におけるバリアメタル膜 1 0 と同様にチタンなどから形成しても良い。また、バリアメタル膜 3 5 を、下から順にチタン／窒化チタンが堆積された積層膜から形成しても良い。

## 【 0 0 6 0 】

バリアメタル膜 3 5 は、シリコン基板 1 の主表面 1 a と平行に位置し、かつ層間絶縁膜 6 の頂面 6 a よりも高く位置する頂面 3 5 a と、頂面 3 5 a から層間絶縁膜 6 の頂面 6 a に向かって延びる側面 3 5 b とを有する。バリアメタル膜 3 5 は、頂面 3 5 a 側に開口された凹部 3 8 を有する。凹部 3 8 は、シリコン基板 1

の主表面 1 a から凹部 3 8 の底面までの距離が、シリコン基板 1 の主表面 1 a から層間絶縁膜 6 の頂面 6 a までの距離よりも大きくなるように形成されている。バリアメタル膜 3 5 は、層間絶縁膜 6 の頂面 6 a 上に位置するベース部 3 6 と、ベース部 3 6 の周縁部から上方に向かって延びる側壁部 3 7 とによって構成されている。プラグ電極 8 とバリアメタル膜 3 5 とによって導電膜 1 1 が構成されている。

## 【 0 0 6 1 】

下部電極 1 3 は、バリアメタル膜 3 5 に形成された凹部 3 8 に嵌め合わされて形成されている。これにより、下部電極 1 3 は、下部電極 1 3 の外周面がバリアメタル膜 3 5 の側壁部 3 7 の内周面によって支持されている。

## 【 0 0 6 2 】

この発明の実施の形態 6 に従った半導体装置は、主表面 1 a を有するシリコン基板 1 と、頂面 6 a とシリコン基板 1 に達するコンタクトホール 7 とを有し、シリコン基板 1 の主表面 1 a 上に形成された層間絶縁膜 6 と、シリコン基板 1 の主表面 1 a からの距離がシリコン基板 1 の主表面 1 a から層間絶縁膜 6 の頂面 6 a までの距離よりも大きい位置に設けられた頂面 3 5 a を有し、コンタクトホール 7 を充填する導電膜 1 1 と、層間絶縁膜 6 上に形成され、導電膜 1 1 に接触する下部電極 1 3 と、下部電極 1 3 上に形成された誘電体膜 1 4 と、誘電体膜 1 4 上に形成された上部電極 1 5 とを備える。導電膜 1 1 は、層間絶縁膜 6 の頂面 6 a 上に形成されたベース部 3 6 と、そのベース部 3 6 に連なり、かつシリコン基板 1 の主表面 1 a から離隔する方向に延在する側壁部 3 7 とを含む。下部電極 1 3 は、ベース部 3 6 と側壁部 3 7 とに接触して形成されている。

## 【 0 0 6 3 】

導電膜 1 1 は、下部電極 1 3 に接触して形成され、チタン、タンタル、窒化チタン、窒化タンタル、チタンタンゲステン、窒化タンゲステン、窒化チタンタンゲステン、窒化ジルコニウムおよび酸窒化チタンからなる群より選ばれた少なくとも 1 種としての窒化タンタルを含むバリアメタル層としてのバリアメタル膜 3 5 を含む。下部電極 1 3 は金属としてのルテニウムを含む。

## 【 0 0 6 4 】

なお、本実施の形態では、バリアメタル膜 3 5 の凹部 3 8 の底面を平坦に形成したが、図 1 2 中に示すバリアメタル膜 1 0 の頂面 1 0 a のように凹凸形状に形成しても良い。この場合、下部電極 1 3 と接触する導電膜 1 1 の部分は、凹凸形状を有する。

#### 【 0 0 6 5 】

図 1 8 から図 2 1 は、図 1 7 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 1 における半導体装置の製造方法の図 2 および図 3 に示す工程の後、図 1 8 から図 2 1 に示す工程が続く。さらにこの後に、実施の形態 1 における半導体装置の製造方法の図 1 に示す工程が続く。以下において、重複する製造工程の説明は省略する。

#### 【 0 0 6 6 】

図 1 8 を参照して、層間絶縁膜 6 の頂面 6 a 上にシリコン窒化膜からなるエッチングストップ膜 1 2 と、TEOS を原料としたシリコン酸化膜からなる層間絶縁膜 2 1 とを順次堆積する。その上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、シリコン酸化膜およびシリコン窒化膜にエッチングを行ない、所定形状に開口されたコンタクトホール 1 8 を形成する。

#### 【 0 0 6 7 】

図 1 9 を参照して、バリアメタル膜 3 5 および下部電極 1 3 を形成するために、コンタクトホール 1 8 の表面および層間絶縁膜 2 1 の頂面 2 1 a を覆うように、窒化タンタルからなる金属膜とルテニウムからなる金属膜とを順次堆積する。

#### 【 0 0 6 8 】

図 2 0 を参照して、化学的機械研磨法、ドライエッチング、またはウェットエッチングにより、ルテニウムからなる金属膜および窒化タンタルからなる金属膜を層間絶縁膜 2 1 の頂面 2 1 a が露出するまで除去する。層間絶縁膜 2 1 に形成されたコンタクトホール 1 8 に位置する金属膜が除去されないように、金属膜によって規定されている凹部に有機保護膜を埋め込んでも良い。これにより、円筒形状を有する下部電極 1 3 およびバリアメタル膜 3 5 が形成される。

#### 【 0 0 6 9 】

図 2 1 を参照して、ウェットエッチングによりエッチングストッパ膜 1 2 上の層間絶縁膜 2 1 を除去する。このとき、バリアメタル膜 3 5 も同時に除去するが、バリアメタル膜 3 5 に下部電極 1 3 の外周面を囲む側壁部 3 7 が残存するようにエッチング条件を調整する。

#### 【 0 0 7 0 】

このように構成された半導体装置によれば、下部電極 1 3 は、層間絶縁膜 6 の頂面 6 a 上に位置する導電膜 1 1 によって挟持される形状で設けられている。より具体的に言えば、下部電極 1 3 は、導電膜 1 1 を構成するバリアメタル膜 3 5 の側壁部 3 7 によって挟持される形状で設けられている。また、バリアメタル膜 3 5 の頂面 3 5 a は層間絶縁膜 6 の頂面 6 a よりも高い位置にあるため、シリコン基板 1 の主表面 1 a に平行な面上でのバリアメタル膜 3 5 の断面積をコンタクトホール 7 の断面積よりも大きくすることができる。したがって、半導体装置の微細化のためコンタクトホール 7 の開口面積が制限される場合であっても、下部電極 1 3 とバリアメタル膜 3 5 との接触面積を増大させることができる。これにより、下部電極 1 3 とバリアメタル膜 3 5 との密着性は向上する。

#### 【 0 0 7 1 】

以上の理由から、半導体装置の製造工程の途中に、下部電極 1 3 が層間絶縁膜 6 の頂面 6 a 上から剥がれて倒れることを防止することができる。これにより、所望のキャパシタ構造を実現し、信頼性の高い半導体装置を提供することができる。また、下部電極 1 3 のアスペクト比（電極高さ／電極幅）を大きくすることができるので、半導体装置の微細化を図ることができる。

#### 【 0 0 7 2 】

##### （実施の形態 7）

図 2 2 は、この発明の実施の形態 7 における半導体装置を示す断面図である。実施の形態 7 における半導体装置は、実施の形態 6 における半導体装置と比較して、導電膜 1 1 の構造が異なる。以下において、重複する構造の説明は省略する。

#### 【 0 0 7 3 】

図 2 2 を参照して、コンタクトホール 7 には、ドーフトポリシリコンなどが充



填されてプラグ電極 8 が形成されている。プラグ電極 8 は、プラグ電極 8 の頂面が層間絶縁膜 6 の頂面 6 a よりも低くなるように形成されている。プラグ電極 8 が形成されていないコンタクトホール 7 の残りの部分を充填するように、窒化タンタルからなるバリアメタル膜 3 5 n が形成されている。バリアメタル膜 3 5 n は、バリアメタル膜 3 5 n の頂面と層間絶縁膜 6 の頂面 6 a とが同一平面となるように形成されている。層間絶縁膜 6 上には、バリアメタル膜 3 5 n と接触して、図 1 7 中に示すバリアメタル膜 3 5 と同一形状を有するバリアメタル膜 3 5 m が形成されている。プラグ電極 8 とバリアメタル膜 3 5 n および 3 5 m とによって導電膜 1 1 が構成されている。

## 【 0 0 7 4 】

この発明の実施の形態 7 に従った半導体装置では、バリアメタル層の一部としてのバリアメタル膜 3 5 n は、コンタクトホール 7 を充填するように形成されている。

## 【 0 0 7 5 】

このように構成された半導体装置によれば、実施の形態 6 に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜 3 5 n がコンタクトホール 7 の一部を充填しているため、バリアメタル膜 3 5 n および 3 5 m が層間絶縁膜 6 から剥がれてしまうことを防止することができる。

## 【 0 0 7 6 】

## (実施の形態 8)

図 2 3 は、この発明の実施の形態 8 における半導体装置を示す断面図である。実施の形態 8 における半導体装置は、実施の形態 6 における半導体装置と比較して、導電膜 1 1 の構造が異なる。以下において、重複する構造の説明は省略する。

## 【 0 0 7 7 】

図 2 3 を参照して、コンタクトホール 7 には、ドーフトポリシリコンが充填されてプラグ電極 8 が形成されている。プラグ電極 8 は、プラグ電極 8 の頂面が層間絶縁膜 6 の頂面 6 a よりも低くなるように形成されている。プラグ電極 8 の頂面、コンタクトホール 7 の側壁、および層間絶縁膜 6 の頂面 6 a の一部を覆うよ

うにバリアメタル膜 3 5 が形成されている。バリアメタル膜 3 5 は、プラグ電極 8 の頂面およびコンタクトホール 7 の側壁を覆って形成された突出部 4 0 と、層間絶縁膜 6 の頂面 6 a 上に位置するベース部 3 6 と、ベース部 3 6 の周縁部から上方に向かって延びる側壁部 3 7 とによって構成されている。

## 【 0 0 7 8 】

バリアメタル膜 3 5 には、頂面 3 5 a 側に開口された凹部 3 8 と、凹部 3 8 の底面に開口された凹部 4 1 とが形成されている。凹部 3 8 は、シリコン基板 1 の主表面 1 a から凹部 3 8 の底面までの距離が、シリコン基板 1 の主表面 1 a から層間絶縁膜 6 の頂面 6 a までの距離よりも大きくなるように形成されている。凹部 4 1 は、シリコン基板 1 の主表面 1 a から凹部 4 1 の底面までの距離が、シリコン基板 1 の主表面 1 a から層間絶縁膜 6 の頂面 6 a までの距離よりも小さくなるように形成されている。

## 【 0 0 7 9 】

下部電極 1 3 は、バリアメタル膜 3 5 に形成された凹部 3 8 および 4 1 に嵌め合わされて形成されている。これにより、下部電極 1 3 は、下部電極 1 3 の段差をもって形成された外周面がバリアメタル膜 3 5 の凹部 3 8 および 4 1 によって支持されている。

## 【 0 0 8 0 】

この発明の実施の形態 8 に従った半導体装置では、導電膜 1 1 は、下部電極 1 3 と接触する面に開口された凹部 4 1 をさらに含み、下部電極 1 3 は、凹部 4 1 を充填するように形成されている。

## 【 0 0 8 1 】

このように構成された半導体装置によれば、実施の形態 6 に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜 3 5 は凹部 4 1 を備えるため、下部電極 1 3 とバリアメタル膜 3 5 との接触面積を増大させることができる。また、下部電極 1 3 は、バリアメタル膜 3 5 の凹部 3 8 および 4 1 に嵌め合わされて形成されている。このため、半導体装置の製造工程の途中に、下部電極 1 3 が層間絶縁膜 6 の頂面 6 a 上から剥がれて倒れることをより確実に防止することができる。

## 【0082】

## (実施の形態9)

図24は、この発明の実施の形態9における半導体装置を示す断面図である。実施の形態9における半導体装置は、実施の形態8における半導体装置と比較して、導電膜11の構造が異なる。以下において、重複する構造の説明は省略する。

## 【0083】

図24を参照して、コンタクトホール7には、プラグ電極8と、プラグ電極8上に設けられたバリアメタル膜35qと、バリアメタル膜35q上に設けられて、図23中に示すバリアメタル膜35と同一形状を有するバリアメタル膜35pが形成されている。プラグ電極8とバリアメタル膜35pおよび35qとによって導電膜11が構成されている。

## 【0084】

このように構成された半導体装置によれば、実施の形態8に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜35pは、プラグ電極8との間にバリアメタル膜35qを介在させて形成されているため、プラグ電極8の頂面上でバリアメタル膜の膜厚が薄くなることを防止できる。これにより、ポリシリコンからなるプラグ電極8と、ルテニウムからなる下部電極13との反応をより確実に防止することができる。

## 【0085】

## (実施の形態10)

図25は、この発明の実施の形態10における半導体装置を示す断面図である。実施の形態10における半導体装置は、実施の形態1における半導体装置と比較して、主に層間絶縁膜6上の構造が異なる。以下において、重複する構造の説明は省略する。

## 【0086】

図25を参照して、層間絶縁膜6は、リンおよびボロンを相対的に低い濃度で含むBPTEOSを原料とするシリコン酸化膜から形成されている。層間絶縁膜6の頂面6a上には、層間絶縁膜6の頂面6aの一部およびプラグ電極8の頂面

を露出させる孔を有する絶縁膜 5 1 が形成されている。絶縁膜 5 1 は、リンおよびボロンを相対的に高い濃度で含む B P T E O S を原料とするシリコン酸化膜から形成されている。絶縁膜 5 1 上には、絶縁膜 5 1 に形成された孔の径よりも小さい径で形成された孔を有するエッチングストッパ膜 1 2 が形成されている。エッチングストッパ膜 1 2 は、シリコン窒化膜によって形成されている。層間絶縁膜 6 の頂面 6 a 上では、層間絶縁膜 6 の頂面 6 a と、絶縁膜 5 1 に形成された孔の表面と、層間絶縁膜 6 の頂面 6 a と向い合うエッチングストッパ膜 1 2 の底面とによって横孔 5 3 が規定されている。絶縁膜 5 1 とエッチングストッパ膜 1 2 とによって保持膜 5 2 が構成されている。なお、層間絶縁膜 6 を T E O S を原料とするシリコン酸化膜で、絶縁膜 5 1 を B P T E O S を原料とするシリコン酸化膜から形成しても良い。

## 【 0 0 8 7 】

層間絶縁膜 6 の頂面 6 a 上には、ルテニウムからなる下部電極 1 3 が形成されている。下部電極 1 3 は、下部電極 1 3 の外周面から外側に突出して形成された錨状部分 1 3 t を有する。下部電極 1 3 は、錨状部分 1 3 t が横孔 5 3 に嵌め合わされて形成されている。

## 【 0 0 8 8 】

この発明の実施の形態 1 0 に従った半導体装置は、主表面 1 a を有するシリコン基板 1 と、頂面 6 a とシリコン基板 1 に達するコンタクトホール 7 とを有し、シリコン基板 1 の主表面 1 a 上に形成された層間絶縁膜 6 と、コンタクトホール 7 を充填する導電膜としてのプラグ電極 8 と、層間絶縁膜 6 の頂面 6 a に沿って延在する横孔 5 3 を有し、層間絶縁膜 6 上に形成された保持膜 5 2 と、横孔 5 3 を充填する錨状部分 1 3 t を有し、プラグ電極 8 に接触する下部電極 1 3 と、下部電極 1 3 上に形成された誘電体膜 1 4 と、誘電体膜 1 4 上に形成された上部電極 1 5 とを備える。

## 【 0 0 8 9 】

図 2 6 から図 3 0 は、図 2 5 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 1 における半導体装置の製造方法の図 2 および図 3 に示す工程の後、図 2 6 から図 3 0 に示す工程が続く。さらにこの後に、実施の形態 1

における半導体装置の製造方法の図 1 に示す工程が続く。以下において、重複する製造工程の説明は省略する。

【 0 0 9 0 】

図 2 6 を参照して、層間絶縁膜 6 の頂面 6 a 上にリンおよびボロンを相対的に高い濃度で含む B P T E O S を原料とするシリコン酸化膜からなる絶縁膜 5 1 と、シリコン窒化膜からなるエッチングストッパ膜 1 2 と、リンおよびボロンを相対的に低い濃度で含む B P T E O S を原料とするシリコン酸化膜からなる層間絶縁膜 2 1 とを順次堆積する。その上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。このレジスト膜をマスクとして、堆積されたシリコン酸化膜およびシリコン窒化膜にエッチングを行ない、所定形状に開口されたコンタクトホール 5 9 を形成する。

【 0 0 9 1 】

図 2 7 を参照して、絶縁膜 5 1 に等方性エッチングを行い所定位置に横孔 5 3 を形成する。この際、絶縁膜 5 1 と層間絶縁膜 6 および 2 1 とでは、リンおよびボロンを注入する濃度が異なるため、層間絶縁膜 6 および 2 1 に対してエッチング選択比を大きくとることができる。このため、絶縁膜 5 1 に行なう等方性エッチングによって層間絶縁膜 6 および 2 1 も後退するが、絶縁膜 5 1 をより大きく後退させることによって所定形状の横孔 5 3 を形成することができる。

【 0 0 9 2 】

図 2 8 を参照して、下部電極 1 3 を形成するために、コンタクトホール 5 9 の表面および層間絶縁膜 2 1 の頂面 2 1 a を覆い、かつ横孔 5 3 を充填するようにルテニウムからなる金属膜を堆積する。

【 0 0 9 3 】

図 2 9 を参照して、化学的機械研磨法、ドライエッチング、またはウェットエッチングにより、ルテニウムからなる金属膜を層間絶縁膜 2 1 の頂面 2 1 a が露出するまで除去する。層間絶縁膜 2 1 に形成されたコンタクトホール 5 9 に位置する金属膜が除去されないように、金属膜に規定されている凹部に有機保護膜を埋め込んでも良い。これにより、円筒形状を有する下部電極 1 3 が形成される。

【 0 0 9 4 】

図 3 0 を参照して、ウェットエッチングによりエッチングストッパ膜 1 2 上の層間絶縁膜 2 1 を除去する。

#### 【 0 0 9 5 】

このように構成された半導体装置によれば、下部電極 1 3 は、下部電極 1 3 に設けられた鰐状部分 1 3 t が、保持膜 5 2 によって形成されている横孔 5 3 に嵌め合わされて設けられている。また、下部電極 1 3 の鰐状部分 1 3 t は、保持膜 5 2 を構成するエッチングストッパ膜 1 2 によって層間絶縁膜 6 の頂面 6 a に向けて押え付けられている。このため、半導体装置の製造工程の途中に、下部電極 1 3 が層間絶縁膜 6 の頂面 6 a 上から剥がれて倒れることを防止することができる。これにより、所望のキャパシタ構造を実現し、信頼性の高い半導体装置を提供することができる。また、下部電極 1 3 のアスペクト比（電極高さ／電極幅）を大きくすることができるので、半導体装置の微細化を図ることができる。

#### 【 0 0 9 6 】

##### （実施の形態 1 1）

図 3 1 は、この発明の実施の形態 1 1 における半導体装置を示す断面図である。実施の形態 1 1 における半導体装置は、実施の形態 1 0 における半導体装置と比較して、導電膜 1 1 の構造が異なる。以下において、重複する構造の説明は省略する。

#### 【 0 0 9 7 】

図 3 1 を参照して、コンタクトホール 7 には、ドーフトポリシリコンなどが充填されてプラグ電極 8 が形成されている。プラグ電極 8 は、プラグ電極 8 の頂面が層間絶縁膜 6 の頂面 6 a よりも低くなるように形成されている。プラグ電極 8 が形成されていないコンタクトホール 7 の残りの部分を充填するように、窒化タantalからなるバリアメタル膜 5 4 n が形成されている。バリアメタル膜 5 4 n は、バリアメタル膜 5 4 n の頂面と層間絶縁膜 6 の頂面 6 a とが同一平面となるように形成されている。

#### 【 0 0 9 8 】

バリアメタル膜 5 4 m が、バリアメタル膜 5 4 n と接触し、かつ下部電極 1 3 の外周面を覆うように形成されている。バリアメタル膜 5 4 m は、層間絶縁膜 6

の頂面 6 a 上から横孔 5 3 および下部電極 1 3 の外周面にまで渡って形成されている。プラグ電極 8 と、バリアメタル膜 5 4 n および 5 4 m とによって導電膜 1 1 が構成されている。

【 0 0 9 9 】

バリアメタル膜 5 4 m は、下部電極 1 3 の頂面 1 3 a よりも低い位置にバリアメタル膜 5 4 m の頂面 5 4 a が位置するように形成されている。下部電極 1 3 は上端側で開口されているため、一般的には層間絶縁膜 6 の頂面 6 a から離れるに従って外側に広がって形成される。このため、下部電極 1 3 の外周面上に設けられたバリアメタル膜 5 4 m の高さを下部電極 1 3 の高さよりも低く形成することによって、隣接する下部電極 1 3 同士が接触して短絡することを抑制できる。

【 0 1 0 0 】

このように構成された半導体装置によれば、実施の形態 1 0 に記載の効果と同様の効果を奏することができる。加えて、バリアメタル膜 5 4 m が下部電極 1 3 の外周面に沿って上方に延びて形成されているため、バリアメタル膜 5 4 m は下部電極 1 3 を支持する役割を果たす。これにより、半導体装置の製造工程の途中に、下部電極 1 3 が層間絶縁膜 6 の頂面 6 a 上から剥がれて倒れることをより確実に防止することができる。また、ルテニウムからなる下部電極 1 3 とポリシリコンからなるプラグ電極 8 との間には、バリアメタル膜 5 4 m が設けられているため、プラグ電極 8 と下部電極 1 3 とが反応することを防止できる。さらに、プラグ電極 8 とバリアメタル膜 5 4 m との間にバリアメタル膜 5 4 n を介在させているため、バリアメタル膜 5 4 m の膜厚が薄くなってプラグ電極 8 と下部電極 1 3 とが反応することを防止できる。

【 0 1 0 1 】

(実施の形態 1 2)

図 3 2 は、この発明の実施の形態 1 2 における半導体装置を示す断面図である。実施の形態 1 2 における半導体装置は、実施の形態 1 0 における半導体装置と比較して、導電膜 1 1 および横孔の構造が異なる。以下において、重複する構造の説明は省略する。

【 0 1 0 2 】

図 3 2 を参照して、層間絶縁膜 6 上には、孔を有するエッチングストッパ膜 1 2 が形成されている。層間絶縁膜 6 は、エッチングストッパ膜 1 2 が有する孔の径よりも大きい径で形成され、頂面 6 a 側に開口された凹部を有する。その凹部を規定する層間絶縁膜 6 の表面と、その凹部の底面に向い合うエッチングストッパ膜 1 2 の底面とによって、横孔 6 1 が規定されている。下部電極 1 3 は底面側に鰐状部分 1 3 t を有し、鰐状部分 1 3 t が横孔 6 1 に嵌め合わされて形成されている。実施の形態 1 1 において図 3 1 中に示された半導体装置と同様に、バリアメタル膜 5 4 n がコンタクトホール 7 の一部を充填している。また、バリアメタル膜 5 4 m が、バリアメタル膜 5 4 n と接触し、かつ下部電極 1 3 の外周面を覆うように形成されている。

#### 【 0 1 0 3 】

この発明の実施の形態 1 2 に従った半導体装置では、横孔 6 1 は、シリコン基板 1 の主表面 1 a からの距離がシリコン基板 1 の主表面 1 a から層間絶縁膜 6 の頂面 6 a までの距離よりも小さい位置に設けられている。

#### 【 0 1 0 4 】

このように構成された半導体装置によれば、実施の形態 1 1 に記載の効果と同様の効果を奏することができる。加えて、横孔 6 1 は、層間絶縁膜 6 とエッチングストッパ膜 1 2 とによって規定されているため、横孔 6 1 を形成するために新たな絶縁膜を設ける必要がない。これにより、半導体装置の製造工程を削減することができる。

#### 【 0 1 0 5 】

##### （実施の形態 1 3）

図 3 3 は、この発明の実施の形態 1 3 における半導体装置を示す断面図である。実施の形態 1 3 における半導体装置は、実施の形態 1 0 における半導体装置と比較して、導電膜 1 1 および横孔の構造が異なる。以下において、重複する構造の説明は省略する。

#### 【 0 1 0 6 】

図 3 3 を参照して、保持膜および誘電体膜としての誘電体膜 1 4 が、下部電極 1 3 および層間絶縁膜 6 の頂面 6 a を覆うように形成されている。層間絶縁膜 6



は、プラグ電極 8 の外周面の外側に位置する部分が頂面 6 a から後退した形状で形成されている。その後退した部分の層間絶縁膜 6 の表面と、層間絶縁膜 6 が後退した部分と向い合う誘電体膜 1 4 の表面とによって横孔 6 3 が規定されている。下部電極 1 3 は底面側で半径方向に延びて形成された鰐状部分 1 3 t を有し、鰐状部分 1 3 t が横孔 6 3 に嵌め合わされて形成されている。実施の形態 1 1 において図 3 1 中に示された半導体装置と同様に、バリアメタル膜 5 4 が、プラグ電極 8 と接触し、かつ下部電極 1 3 の外周面を覆うように形成されている。

## 【 0 1 0 7 】

このように構成された半導体装置によれば、実施の形態 1 1 に記載の効果と同様の効果を奏することができる。加えて、横孔 6 3 は、層間絶縁膜 6 と誘電体膜 1 4 とによって規定されているため、横孔 6 3 を形成するために新たな絶縁膜を設ける必要がない。これにより、半導体装置の製造工程をさらに削減することができる。

## 【 0 1 0 8 】

## (実施の形態 1 4)

図 3 4 は、この発明の実施の形態 1 4 における半導体装置を示す断面図である。実施の形態 1 4 における半導体装置は、実施の形態 1 における半導体装置と比較して重複する構造を有する。以下において、実施の形態 1 における半導体装置と異なる構造について主に説明する。

## 【 0 1 0 9 】

図 3 4 を参照して、実施の形態 1 において図 1 に示された半導体装置と同様に、シリコン基板 1 の主表面 1 a 上には、ゲート絶縁膜 3 a、3 b および 3 c を介して、ゲート電極 4 a、4 b および 4 c と絶縁膜マスク 5 a、5 b および 5 c とが形成されている。ゲート電極 4 a、4 b および 4 c の間に位置するシリコン基板 1 の主表面 1 a には、n 型の不純物領域 2 a および 2 b が形成されている。

## 【 0 1 1 0 】

シリコン基板 1 の主表面 1 a と絶縁膜マスク 5 a、5 b および 5 c の頂面とを覆う層間絶縁膜 6 には、不純物領域 2 a および 2 b に達するコンタクトホール 7 a および 7 b が形成されている。コンタクトホール 7 a および 7 b には、ドーブ

トポリシリコンなどが充填されてプラグ電極 8 a および 8 b が形成されている。層間絶縁膜 6 の頂面 6 a 上には、プラグ電極 8 a および 8 b 上に開口されたエッチングストップ膜 1 2 が形成されている。

#### 【0 1 1 1】

下部電極 1 3 m および 1 3 n が、プラグ電極 8 a および 8 b と接触して形成されている。下部電極 1 3 m および 1 3 n は、層間絶縁膜 6 の頂面 6 a 上に位置する部分からシリコン基板 1 の主表面 1 a から離れる方向へ延びて形成された円筒部 7 2 を有する。円筒部 7 2 の上端が、下部電極 1 3 m および 1 3 n の頂面 1 3 a を形成している。下部電極 1 3 m および 1 3 n の表面を覆うように誘電体膜 1 4 が形成されている。誘電体膜 1 4 を覆うように上部電極 1 5 が形成されている。

#### 【0 1 1 2】

図 3 5 は、図 3 4 中に示す下部電極を上方から見た斜視図である。図 3 4 および図 3 5 を参照して、頂面 1 3 a 側に位置する下部電極 1 3 m の外周面と、頂面 1 3 a 側に位置する下部電極 1 3 n の外周面とを連結するように、シリコン窒化膜からなる絶縁膜 7 1 が形成されている。絶縁膜 7 1 は、下部電極 1 3 m に連結される一方端 7 1 e と、下部電極 1 3 n に連結される他方端 7 1 f とを有する。下部電極 1 3 m および 1 3 n の頂面 1 3 a と絶縁膜 7 1 の頂面 7 1 a とは、同一平面上にある。絶縁膜 7 1 は、断面が長方形であり、直線上に延びて形成されている。

#### 【0 1 1 3】

この発明の実施の形態 1 4 に従った半導体装置は、主表面 1 a を有するシリコン基板 1 と、頂面 6 a とシリコン基板 1 に達する複数のコンタクトホール 7 a および 7 b とを有し、シリコン基板 1 の主表面 1 a 上に形成された層間絶縁膜 6 と、コンタクトホール 7 a および 7 b の各々を充填する第 1 および第 2 の導電膜としてのプラグ電極 8 a および 8 b と、層間絶縁膜 6 の頂面 6 a から離隔するように延在し、かつ頂面 1 3 a が設けられる部分としての円筒部 7 2 を有し、プラグ電極 8 a および 8 b に接触して形成された第 1 および第 2 の下部電極としての下部電極 1 3 m および 1 3 n と、下部電極 1 3 m に接続される一方端 7 1 e と、下

部電極 1 3 n に接続される他方端 7 1 f とを有し、円筒部 7 2 の頂面 1 3 a 側に形成された絶縁膜 7 1 と、下部電極 1 3 m および 1 3 n 上に形成された誘電体膜 1 4 と、誘電体膜 1 4 上に形成された上部電極 1 5 とを備える。

## 【 0 1 1 4 】

絶縁膜 7 1 は頂面 7 1 a を有し、絶縁膜 7 1 の頂面 7 1 a と円筒部 7 2 の頂面 1 3 a とは、ほぼ同一平面にある。

## 【 0 1 1 5 】

図 3 6 から図 4 2 は、図 3 4 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 1 における半導体装置の製造方法の図 2 および図 3 に示す工程の後、図 3 6 から図 4 2 に示す工程が続く。さらにこの後に、実施の形態 1 における半導体装置の製造方法の図 1 に示す工程が続く。以下において、重複する製造工程の説明は省略する。

## 【 0 1 1 6 】

図 3 6 を参照して、層間絶縁膜 6 の頂面 6 a 上にシリコン窒化膜からなるエッチングストップ膜 1 2 と、TEOS を原料としたシリコン酸化膜からなる層間絶縁膜 7 6 とを順次堆積する。図 3 7 を参照して、その上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。そのレジスト膜をマスクとして層間絶縁膜 7 6 にエッチングを行ない、長方形形状の断面を有し、直線上に延びる溝 7 8 を形成する。

## 【 0 1 1 7 】

図 3 8 を参照して、溝 7 8 にシリコン窒化膜を充填して絶縁膜 7 1 を形成する。この際、層間絶縁膜 7 6 の頂面 7 6 a と絶縁膜 7 1 の頂面 7 1 a とが同一平面となるように処理する。

## 【 0 1 1 8 】

図 3 9 を参照して、絶縁膜 7 1 および層間絶縁膜 7 6 の上から所定形状の開口パターンを有する図示しないレジスト膜を形成する。そのレジスト膜をマスクとして、絶縁膜 7 1、層間絶縁膜 7 6 およびエッチングストップ膜 1 2 にエッチングを行ない、コンタクトホール 1 8 a および 1 8 b を形成する。

## 【 0 1 1 9 】

図 4 0 を参照して、下部電極 1 3 m および 1 3 n を形成するために、コンタクトホール 1 8 a および 1 8 b の表面と、層間絶縁膜 7 6 の頂面 7 6 a とを覆うようにルテニウムからなる金属膜を堆積する。

【 0 1 2 0 】

図 4 1 を参照して、化学的機械研磨法、ドライエッチング、またはウェットエッチングにより、ルテニウムからなる金属膜を層間絶縁膜 7 6 の頂面 7 6 a が露出するまで除去する。この際、層間絶縁膜 7 6 に形成されたコンタクトホール 1 8 a および 1 8 b に位置する金属膜が除去されないように、金属膜によって規定されている凹部に有機保護膜を埋め込んでも良い。これにより円筒形状を有する下部電極 1 3 m および 1 3 n が形成される。

【 0 1 2 1 】

図 4 2 を参照して、ウェットエッチングにより、エッチングストップ膜 1 2 上の層間絶縁膜 7 6 を除去する。図 4 3 は、図 4 2 中の矢印 X L I I I に示す方向から見た下部電極および絶縁膜を示す平面図である。図 4 3 を参照して、シリコン窒化膜からなる絶縁膜 7 1 は、下部電極 1 3 m および 1 3 n の外周面を連結した状態で残存する。

【 0 1 2 2 】

このように構成された半導体装置によれば、下部電極 1 3 m および 1 3 n は、それぞれの外周面に接続された絶縁膜 7 1 によって支持されて設けられている。このため、半導体装置の製造工程の途中に、下部電極 1 3 m および 1 3 n が層間絶縁膜 6 の頂面 6 a 上から剥がれて倒れることを防止することができる。また、絶縁膜 7 1 は、下部電極 1 3 m および 1 3 n の頂面 1 3 a 側に接続されている。このため、下部電極 1 3 m および 1 3 n は、絶縁膜 7 1 によって上方が支持され、層間絶縁膜 6 の頂面 6 a とプラグ電極 8 a および 8 b の頂面とによって下方が支持されることとなる。これにより、下部電極 1 3 m および 1 3 n はより安定して支持される。このような効果は、本実施の形態における半導体装置のように、下部電極 1 3 m および 1 3 n の頂面 1 3 a と絶縁膜 7 1 の頂面 7 1 a とが同一平面にある場合に特に発揮される。

【 0 1 2 3 】

以上の理由から、所望のキャパシタ構造を実現し、信頼性の高い半導体装置を提供することができる。また、下部電極 1 3 m および 1 3 n のアスペクト比（電極高さ／電極幅）を大きくすることができるので、半導体装置の微細化を図ることができる。

【 0 1 2 4 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 1 2 5 】

#### 【発明の効果】

以上説明したように、この発明に従えば、半導体装置の微細化を実現するとともに、所望のキャパシタ構造を得ることによって信頼性の高い半導体装置を提供することができる。

#### 【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 における半導体装置を示す断面図である。

【図 2】 図 1 中に示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 3】 図 1 中に示す半導体装置の製造方法の第 2 工程を示す断面図である。

【図 4】 図 1 中に示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 5】 図 1 中に示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 6】 図 1 中に示す半導体装置の製造方法の第 4 工程を示す断面図である。

【図 7】 図 1 中に示す半導体装置の製造方法の第 5 工程を示す断面図である。

【図 8】 図 1 中に示す半導体装置の製造方法の第 6 工程を示す断面図である。

【図 9】 図 1 中に示す半導体装置の製造方法の第 7 工程を示す断面図である。

【図 1 0】 この発明の実施の形態 2 における半導体装置を示す断面図である。

【図 1 1】 この発明の実施の形態 3 における半導体装置を示す断面図である。

【図 1 2】 この発明の実施の形態 4 における半導体装置を示す断面図である。

【図 1 3】 図 1 2 中に示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 1 4】 図 1 2 中に示す半導体装置の製造方法の第 2 工程を示す断面図である。

【図 1 5】 図 1 2 中に示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 1 6】 この発明の実施の形態 5 における半導体装置を示す断面図である。

【図 1 7】 この発明の実施の形態 6 における半導体装置を示す断面図である。

【図 1 8】 図 1 7 中に示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 1 9】 図 1 7 中に示す半導体装置の製造方法の第 2 工程を示す断面図である。

【図 2 0】 図 1 7 中に示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 2 1】 図 1 7 中に示す半導体装置の製造方法の第 4 工程を示す断面図である。

【図 2 2】 この発明の実施の形態 7 における半導体装置を示す断面図であ

る。

【図 2 3】 この発明の実施の形態 8 における半導体装置を示す断面図である。

【図 2 4】 この発明の実施の形態 9 における半導体装置を示す断面図である。

【図 2 5】 この発明の実施の形態 1 0 における半導体装置を示す断面図である。

【図 2 6】 図 2 5 中に示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 2 7】 図 2 5 中に示す半導体装置の製造方法の第 2 工程を示す断面図である。

【図 2 8】 図 2 5 中に示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 2 9】 図 2 5 中に示す半導体装置の製造方法の第 4 工程を示す断面図である。

【図 3 0】 図 2 5 中に示す半導体装置の製造方法の第 5 工程を示す断面図である。

【図 3 1】 この発明の実施の形態 1 1 における半導体装置を示す断面図である。

【図 3 2】 この発明の実施の形態 1 2 における半導体装置を示す断面図である。

【図 3 3】 この発明の実施の形態 1 3 における半導体装置を示す断面図である。

【図 3 4】 この発明の実施の形態 1 4 における半導体装置を示す断面図である。

【図 3 5】 図 3 4 中に示す下部電極を上方から見た斜視図である。

【図 3 6】 図 3 4 中に示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 3 7】 図 3 4 中に示す半導体装置の製造方法の第 2 工程を示す断面図

である。

【図 3 8】 図 3 4 中に示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 3 9】 図 3 4 中に示す半導体装置の製造方法の第 4 工程を示す断面図である。

【図 4 0】 図 3 4 中に示す半導体装置の製造方法の第 5 工程を示す断面図である。

【図 4 1】 図 3 4 中に示す半導体装置の製造方法の第 6 工程を示す断面図である。

【図 4 2】 図 3 4 中に示す半導体装置の製造方法の第 7 工程を示す断面図である。

【図 4 3】 図 4 2 中の矢印 X L I I I に示す方向から見た下部電極および絶縁膜を示す平面図である。

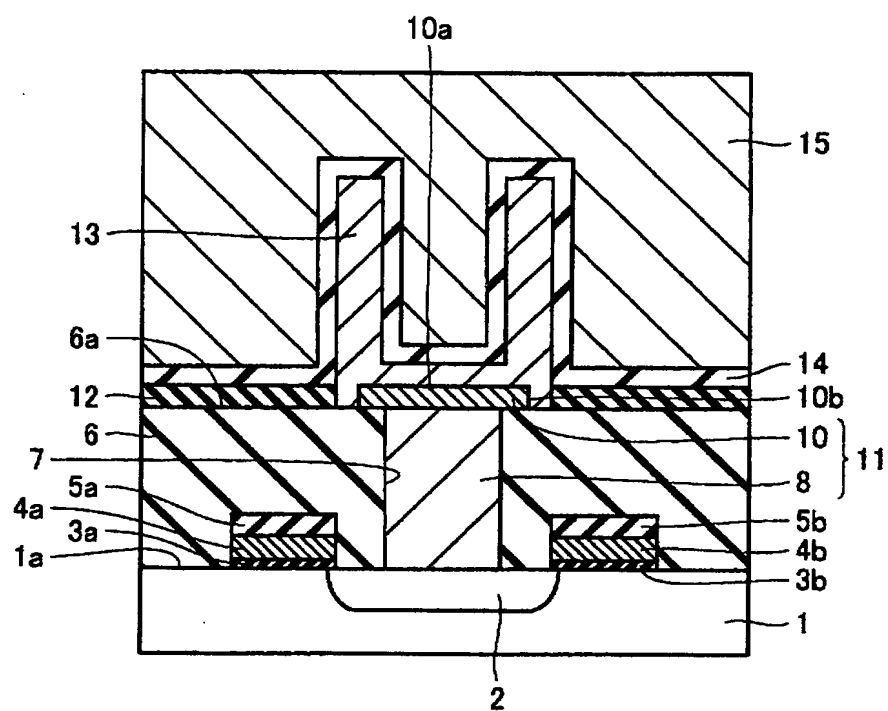
# 【符号の説明】

1 シリコン基板、1 a 主表面、6 層間絶縁膜、6 a, 1 0 a, 1 3 a, 3 5 a, 7 1 a 頂面、7, 7 a, 7 b コンタクトホール、1 0, 1 0 m, 1 0 n, 1 0 p, 1 0 q, 3 5, 3 5 m, 3 5 n, 3 5 p, 3 5 q, 5 4, 5 4 m, 5 4 n バリアメタル膜、1 0 b, 3 5 b 側面、1 1 導電膜、1 2 エッチングストップ膜、1 3, 1 3 m, 1 3 n 下部電極、1 3 t 鋸状部分、1 4 誘電体膜、1 5 上部電極、2 5, 3 8, 4 1 凹部、3 6 ベース部、3 7 側壁部、5 1 絶縁膜、5 2 保持膜、5 3, 6 1, 6 3 横孔、7 1 絶縁膜、7 1 e 一方端、7 1 f 他方端、7 2 円筒部。

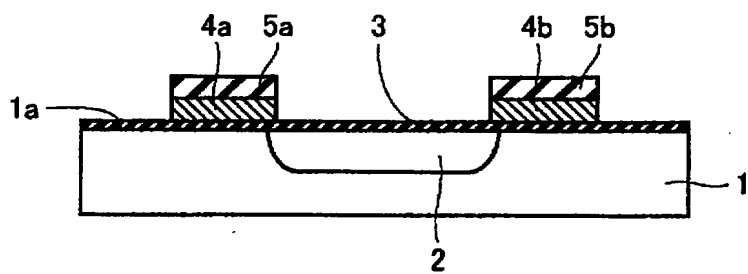


【書類名】 図面

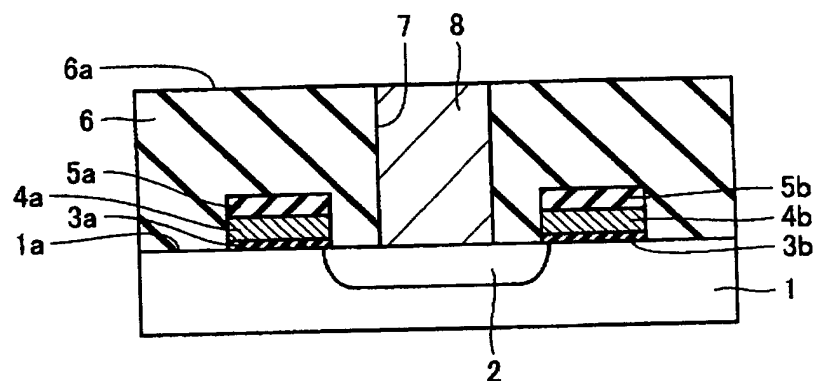
【図 1】



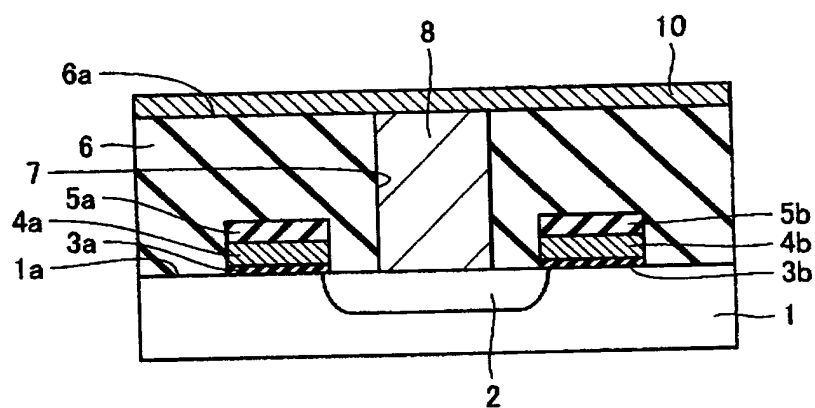
【図 2】



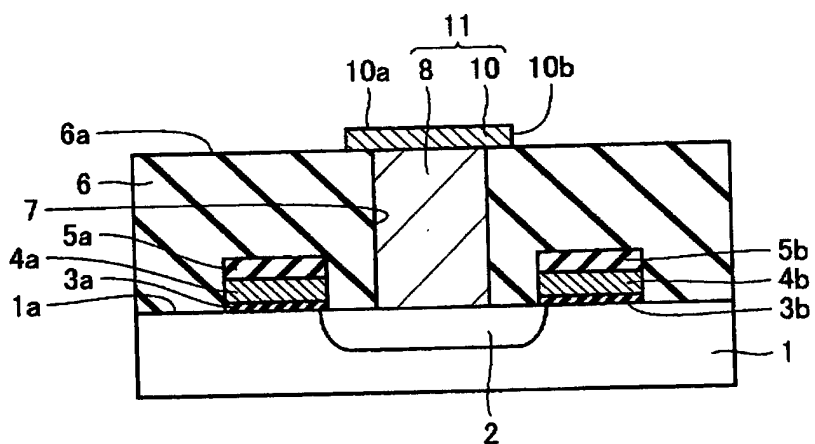
【図 3】



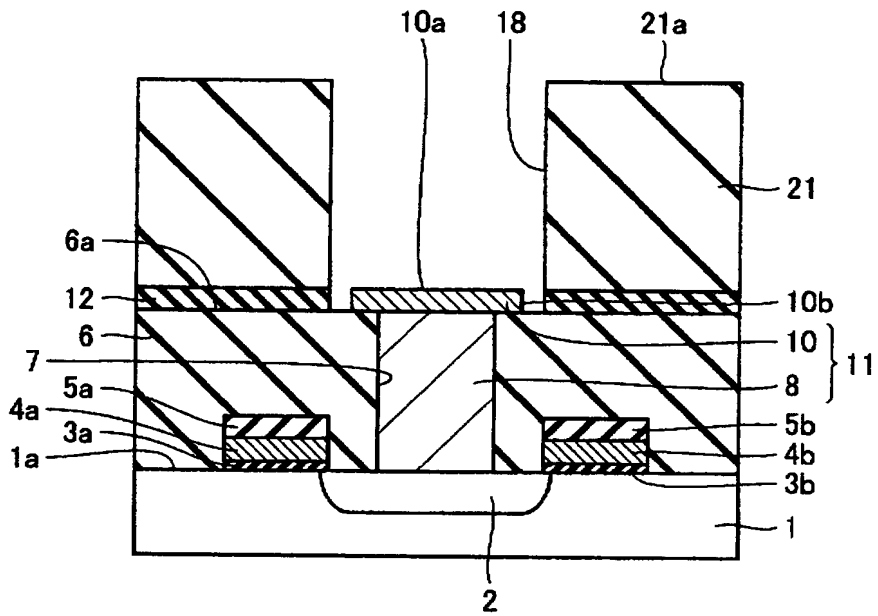
【図 4】



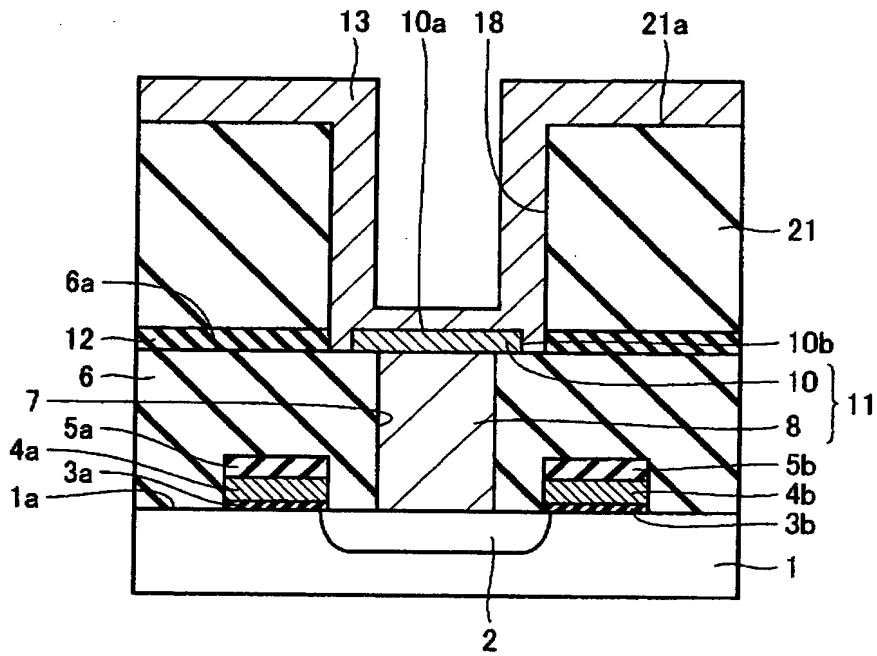
【図 5】



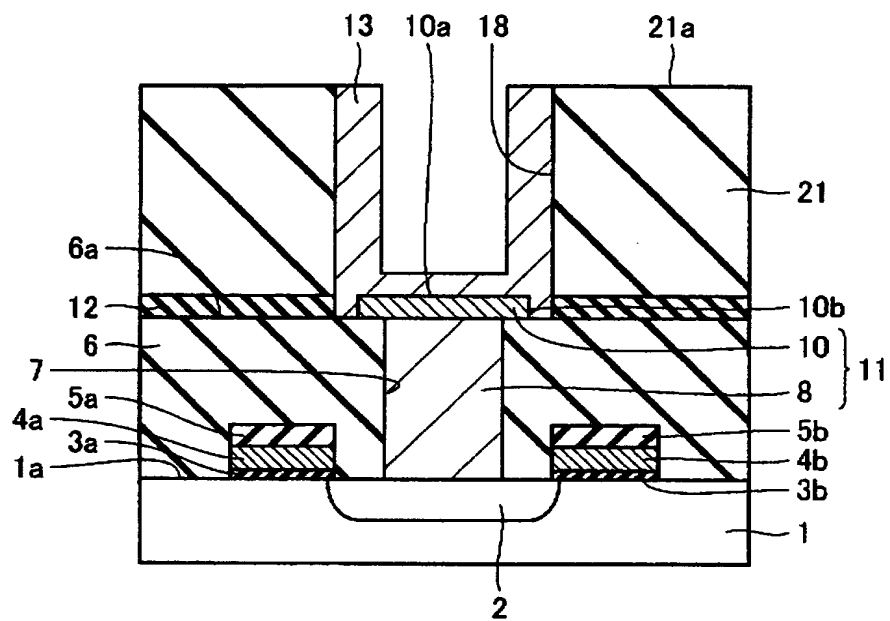
【図 6】



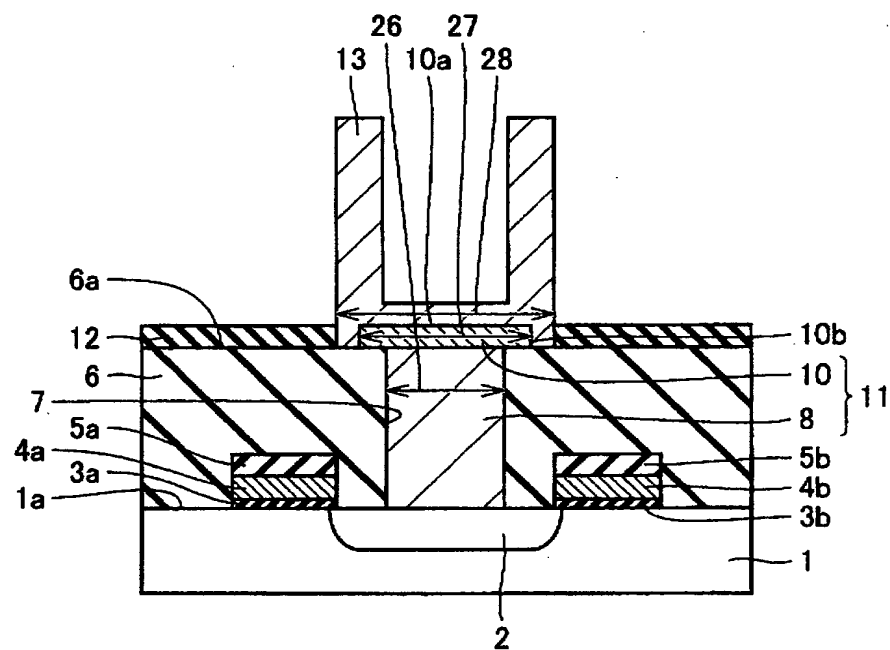
【図 7】



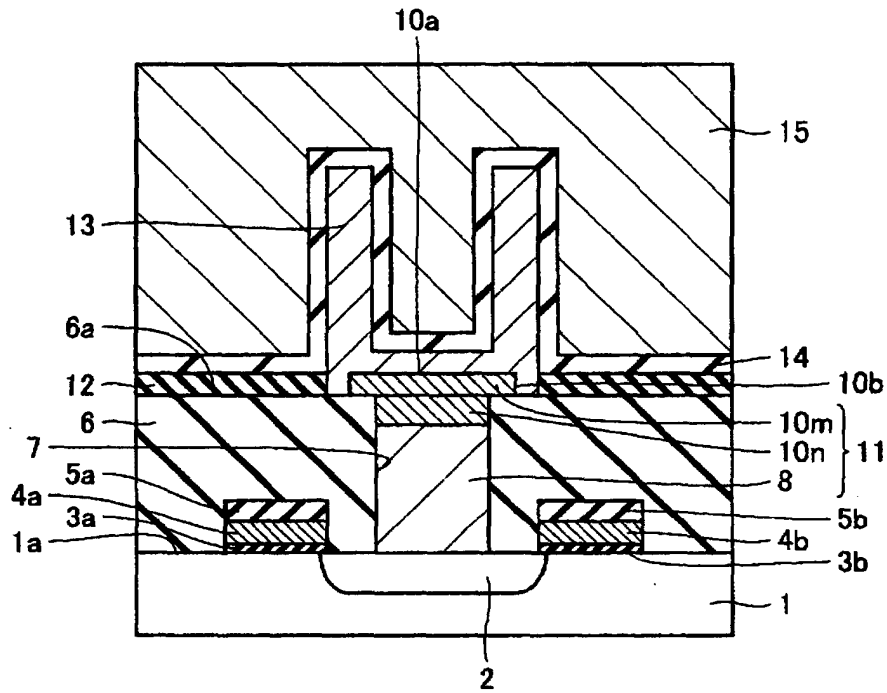
【図 8】



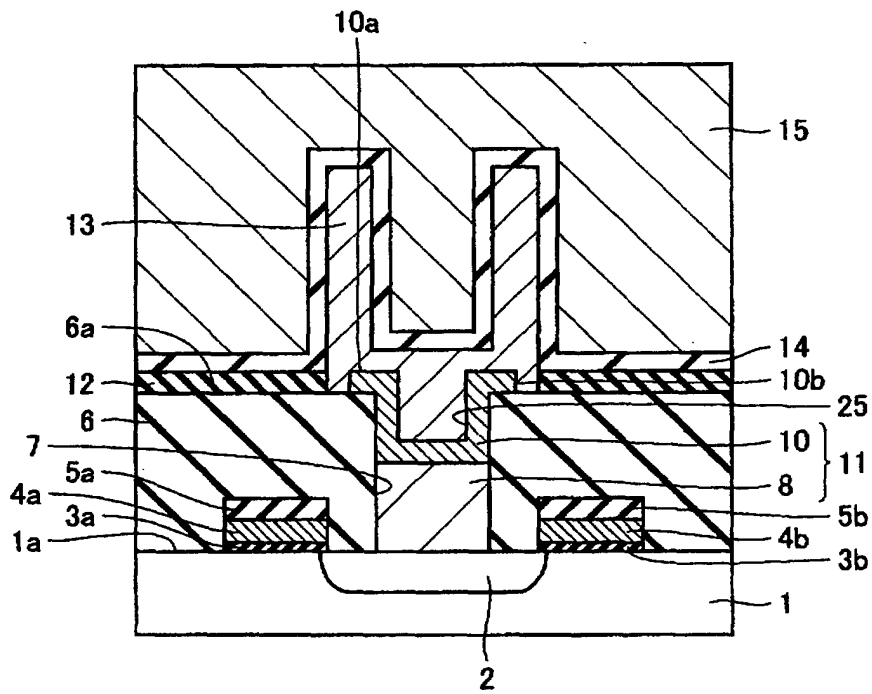
【図 9】



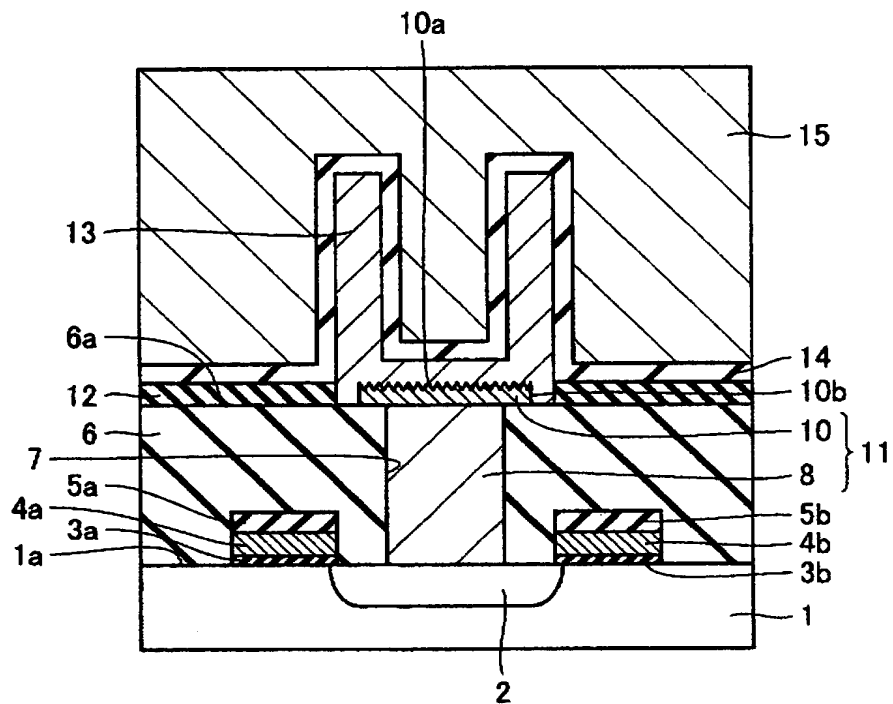
【図 10】



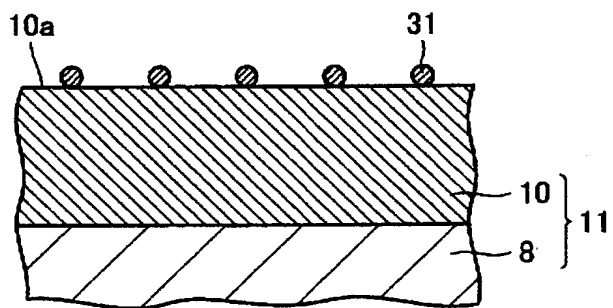
【図 11】



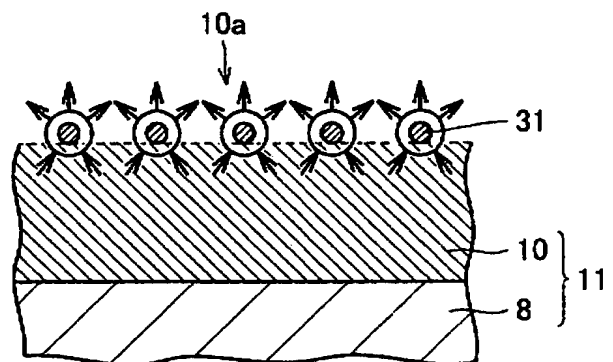
【図 12】



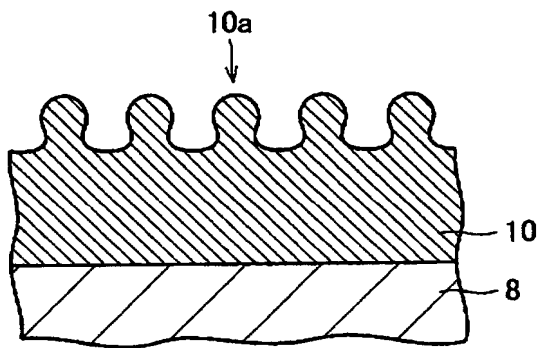
【図 13】



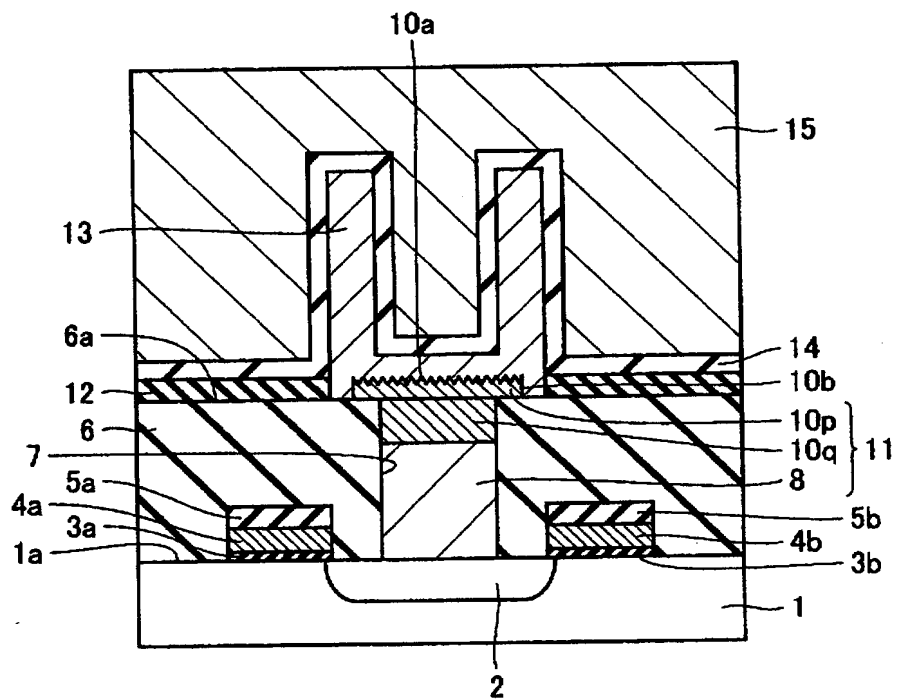
【図 14】



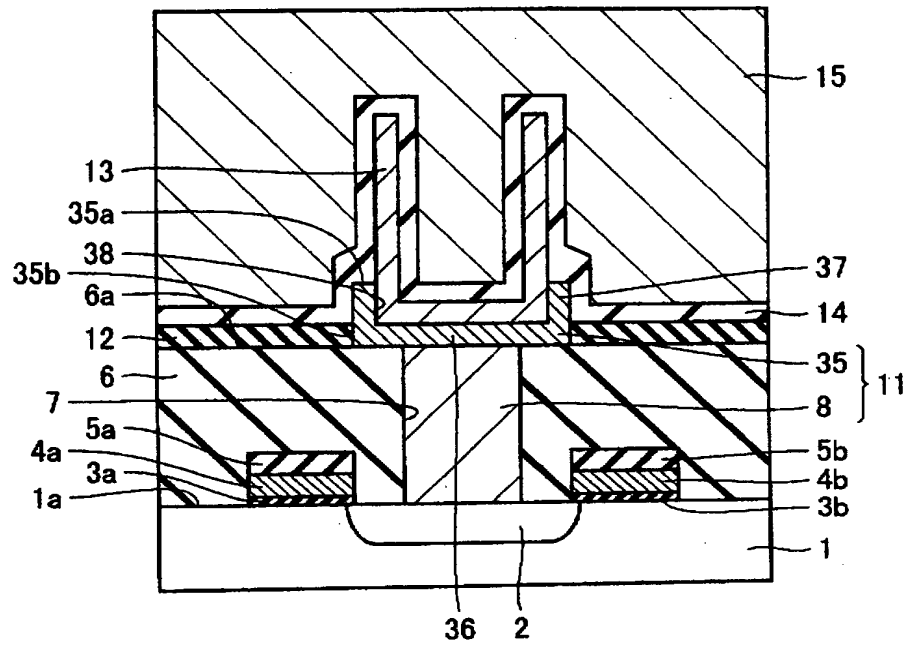
【図 1 5】



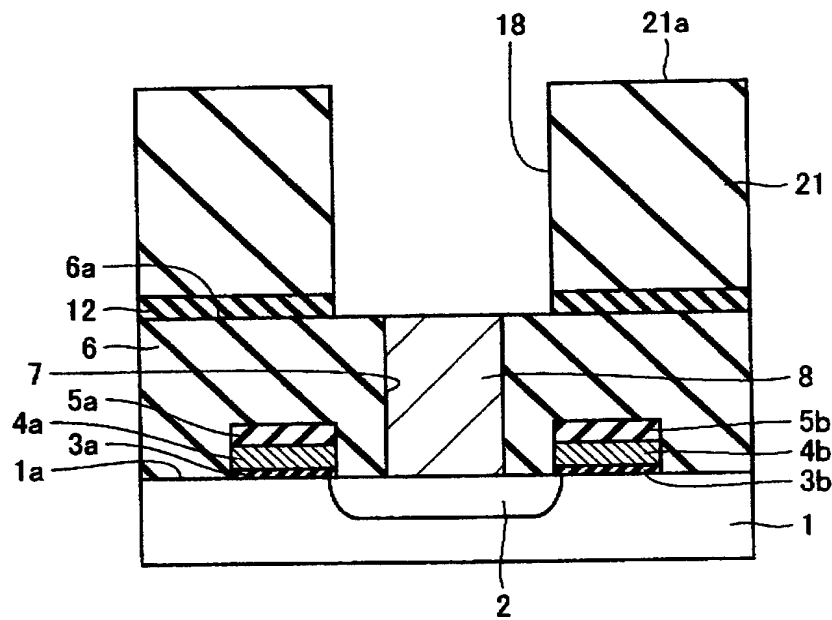
【図 1 6】



【図 17】

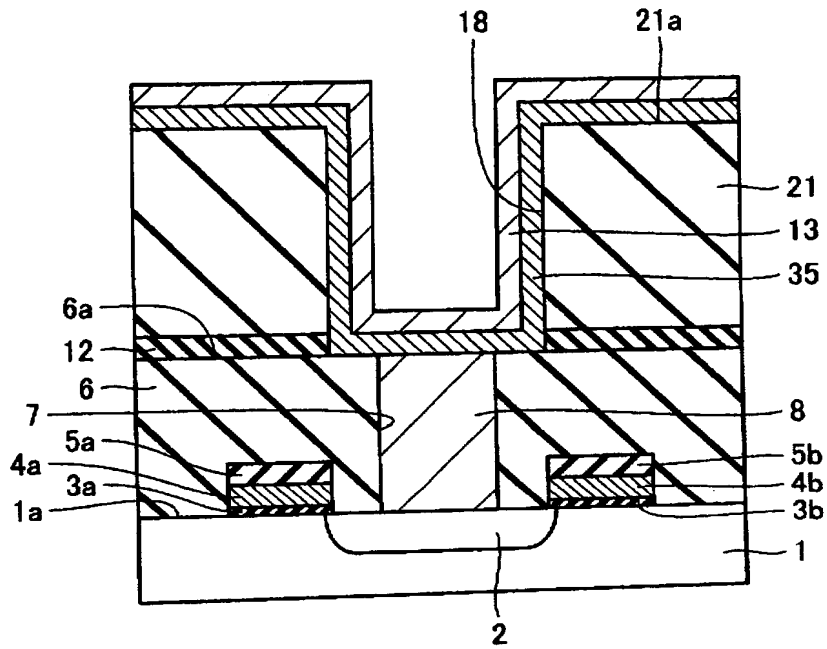


【图 18】

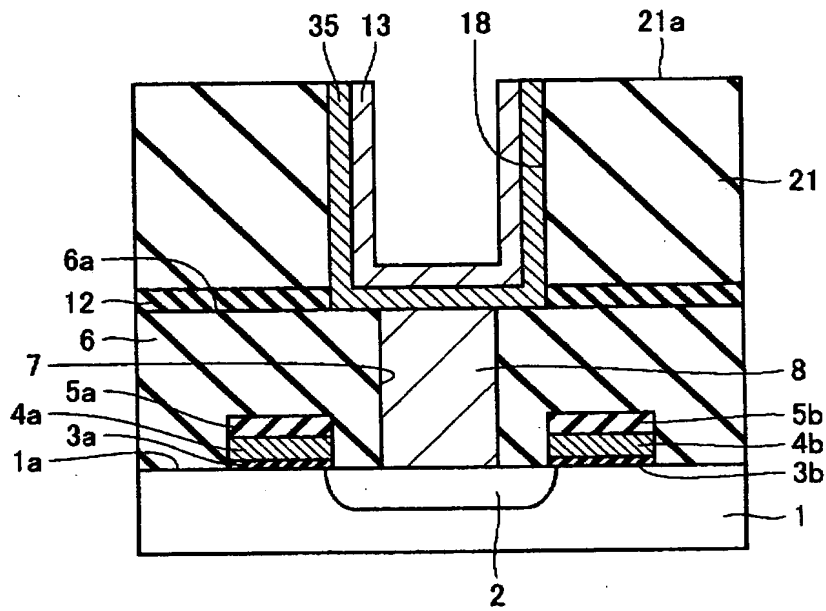




【図19】

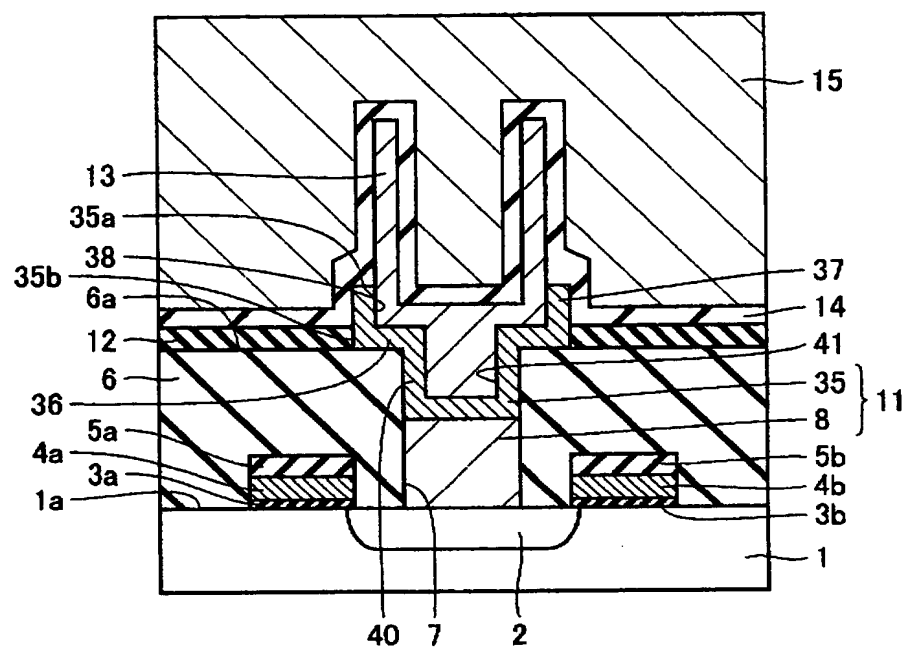


【図20】

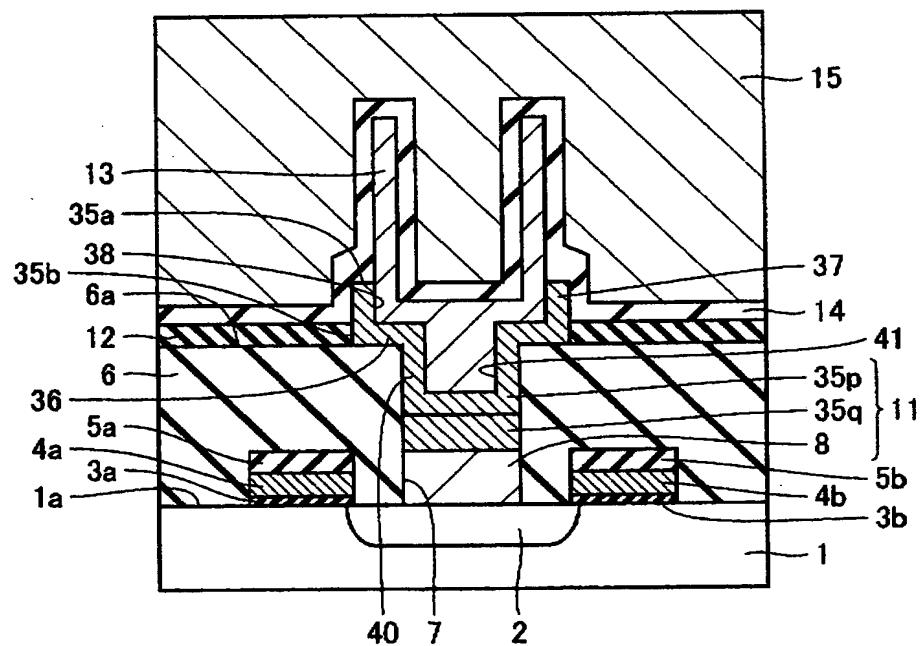




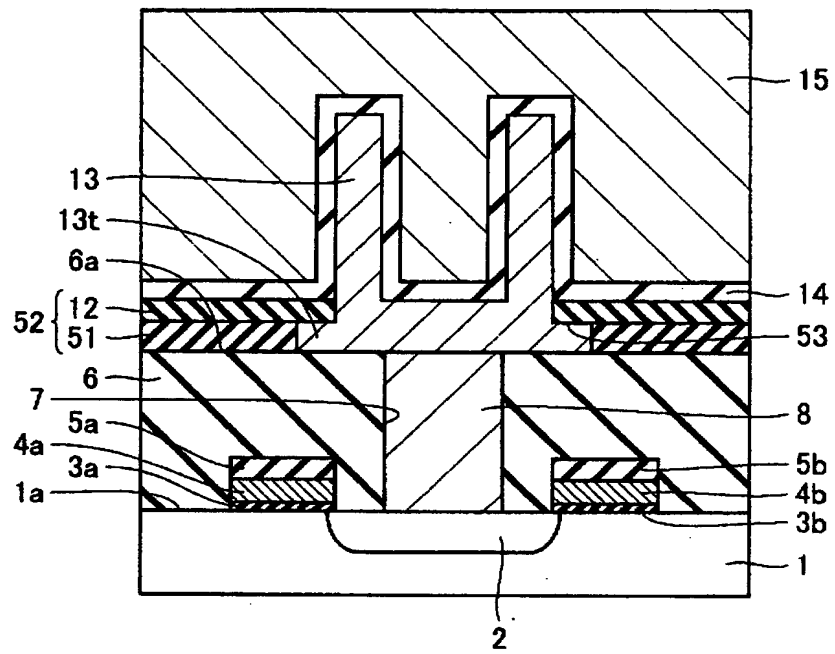
【圖 23】



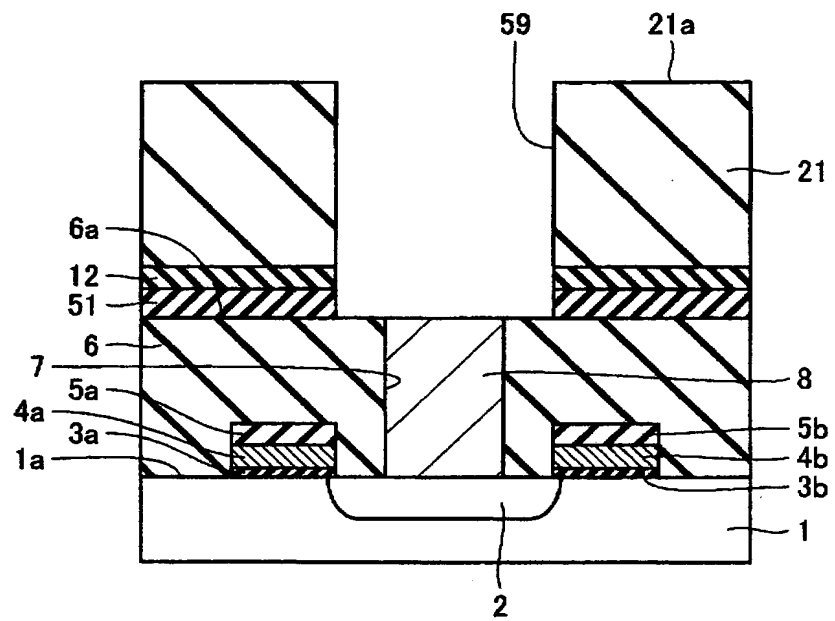
【図 24】



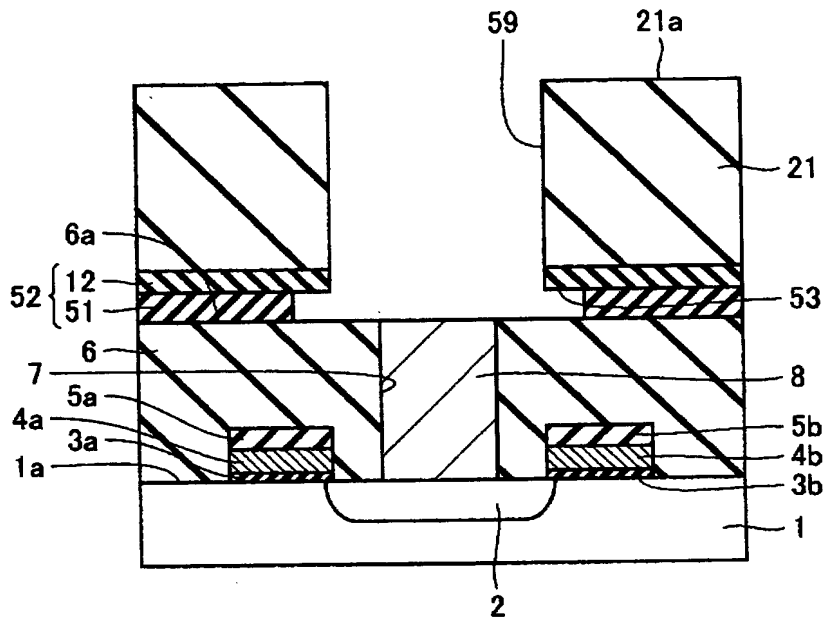
【図 2 5】



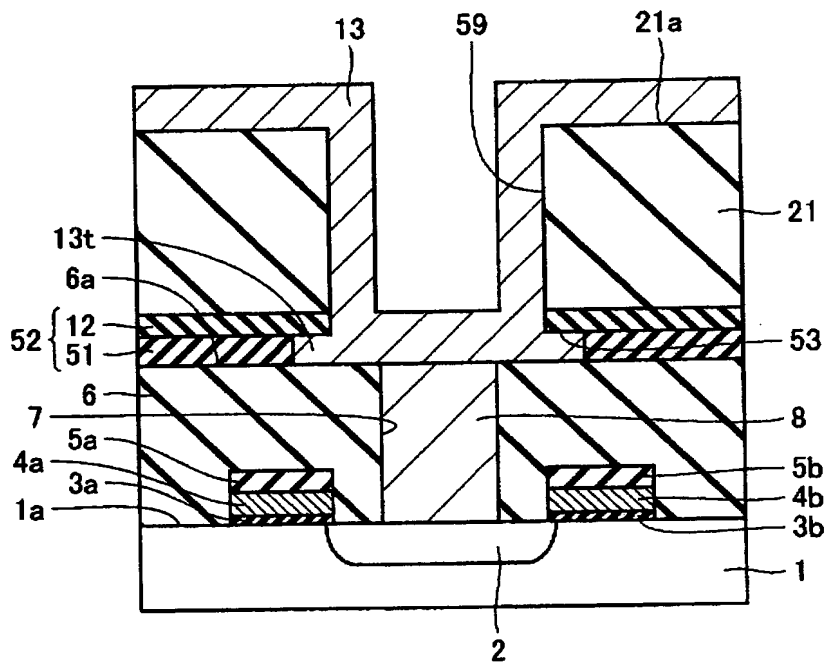
【図 2 6】



【図 27】



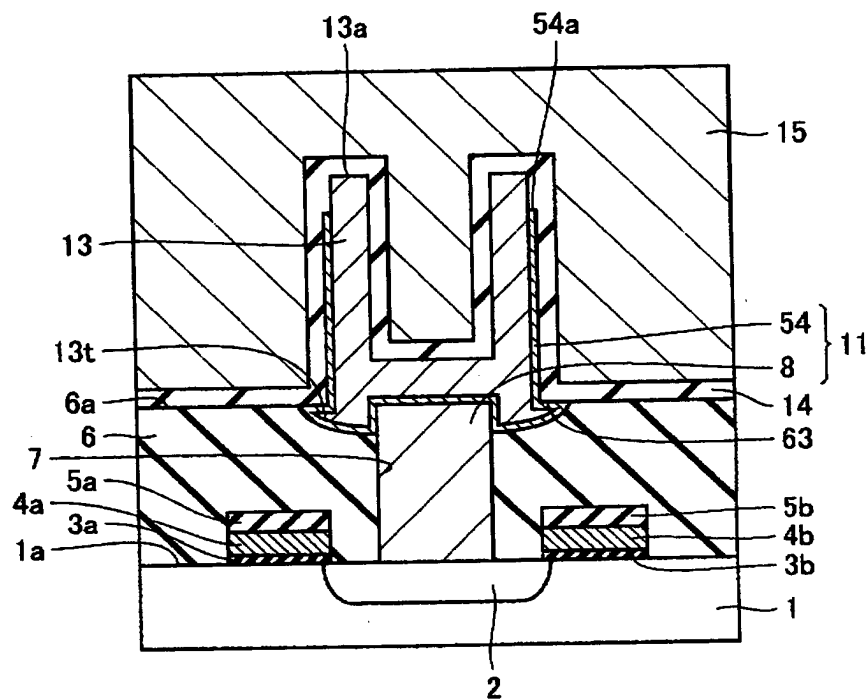
【図 28】



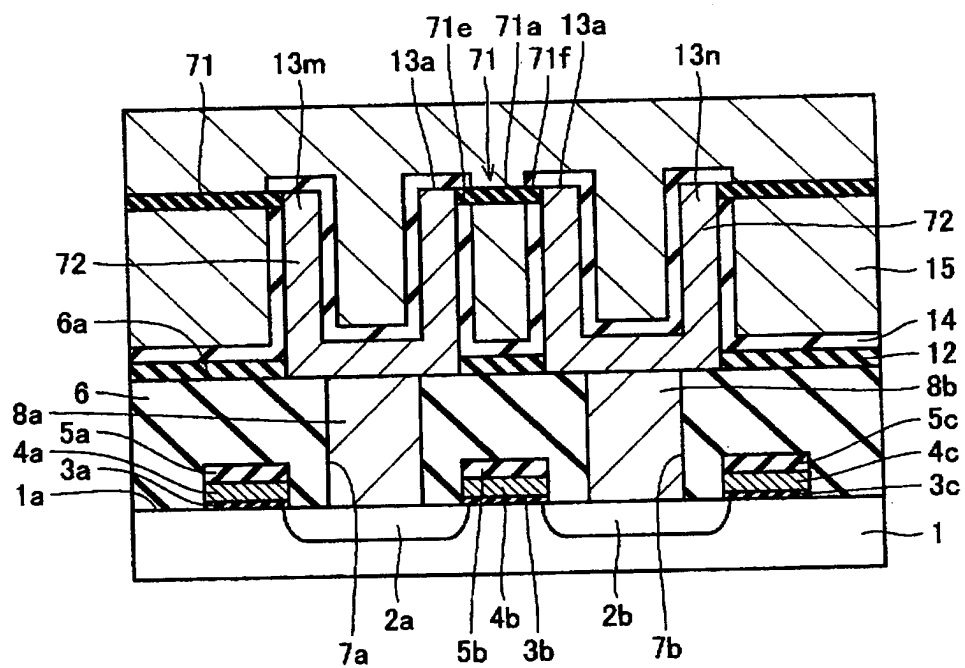




【図 3 3】

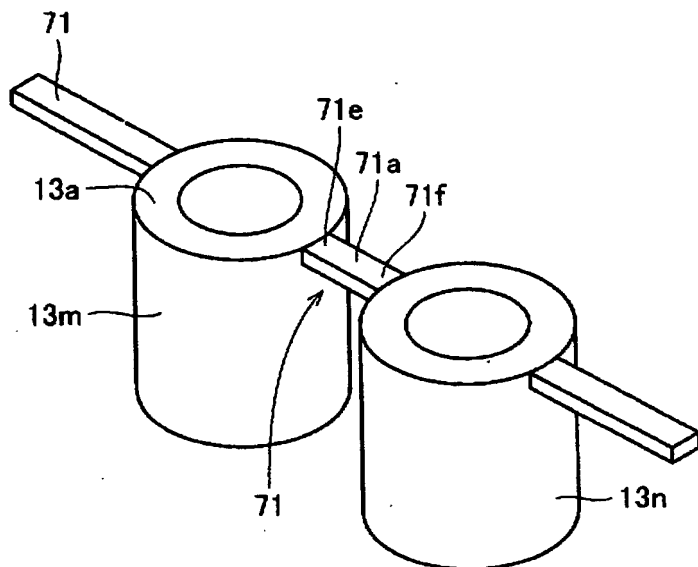


【図 3 4】

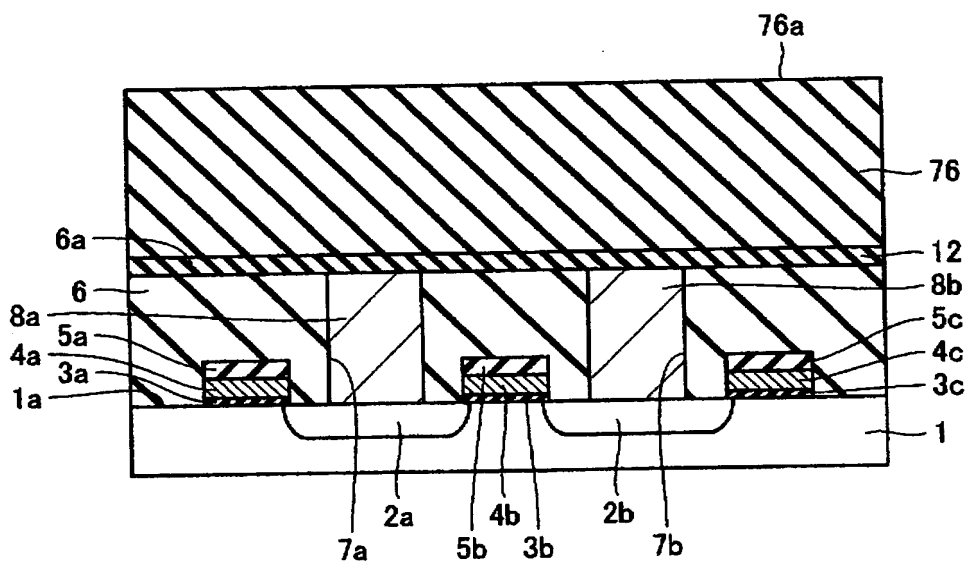




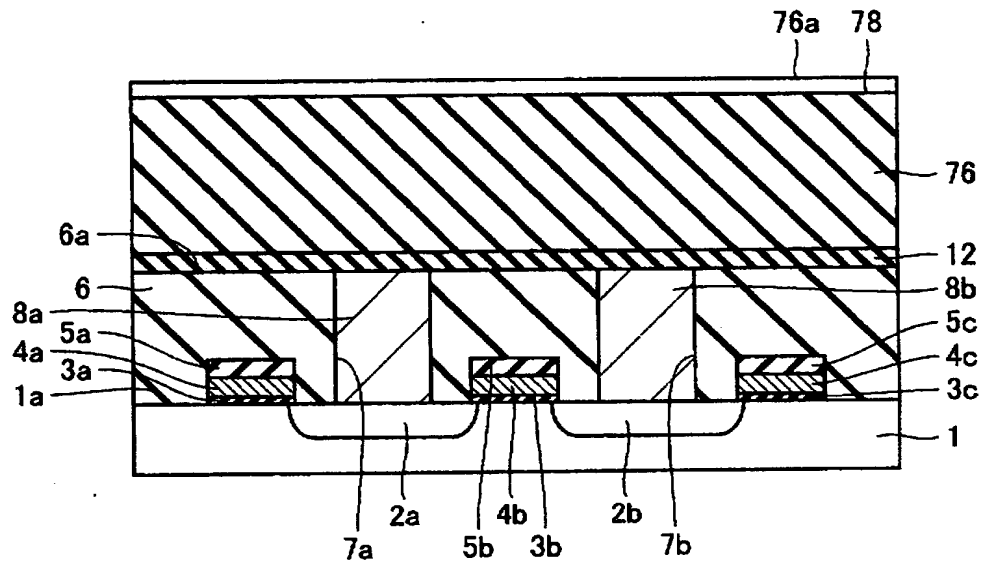
【図 3 5】



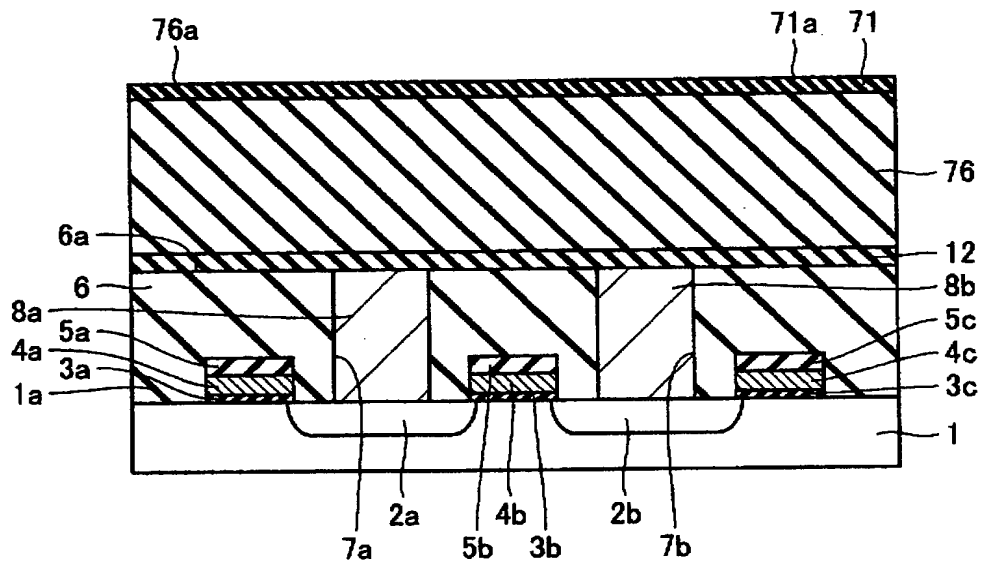
【図 3 6】



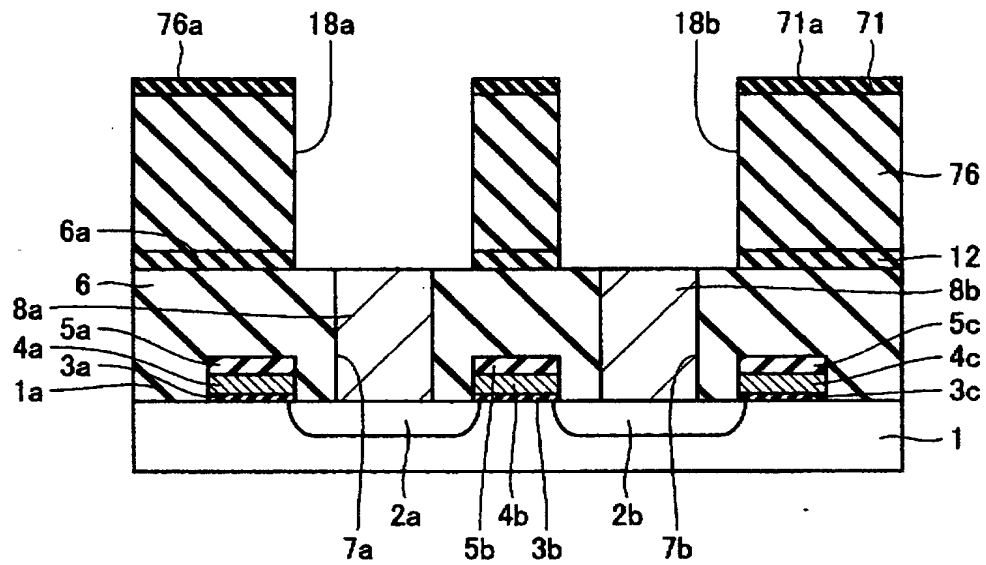
【図 3 7】



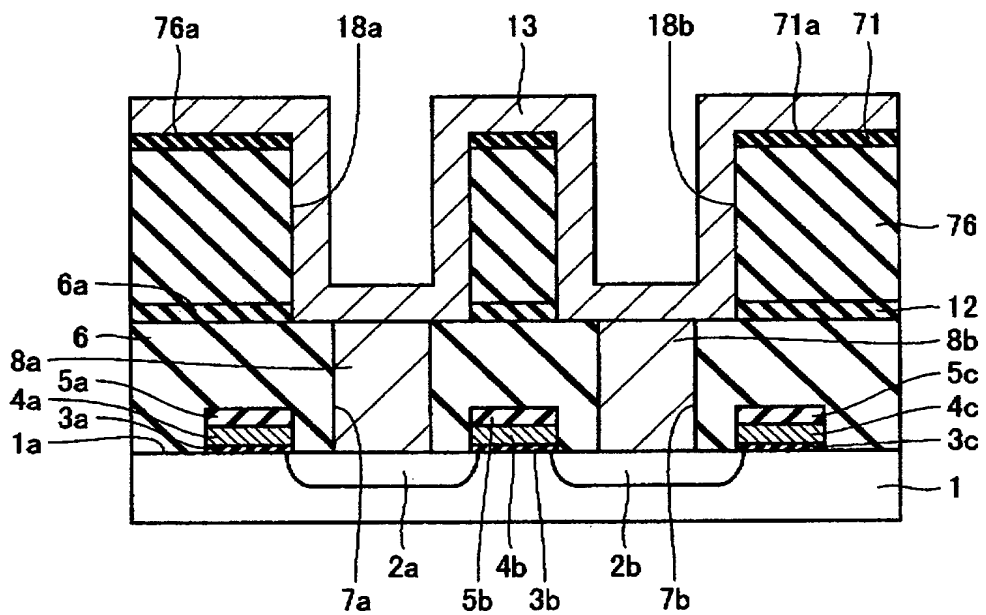
【図 3 8】



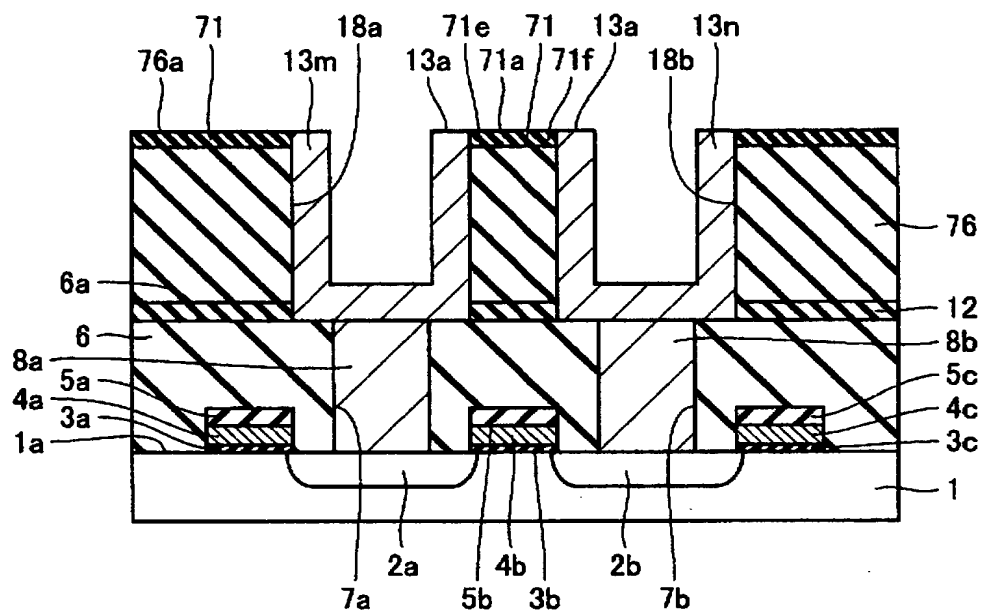
【图 3 9】



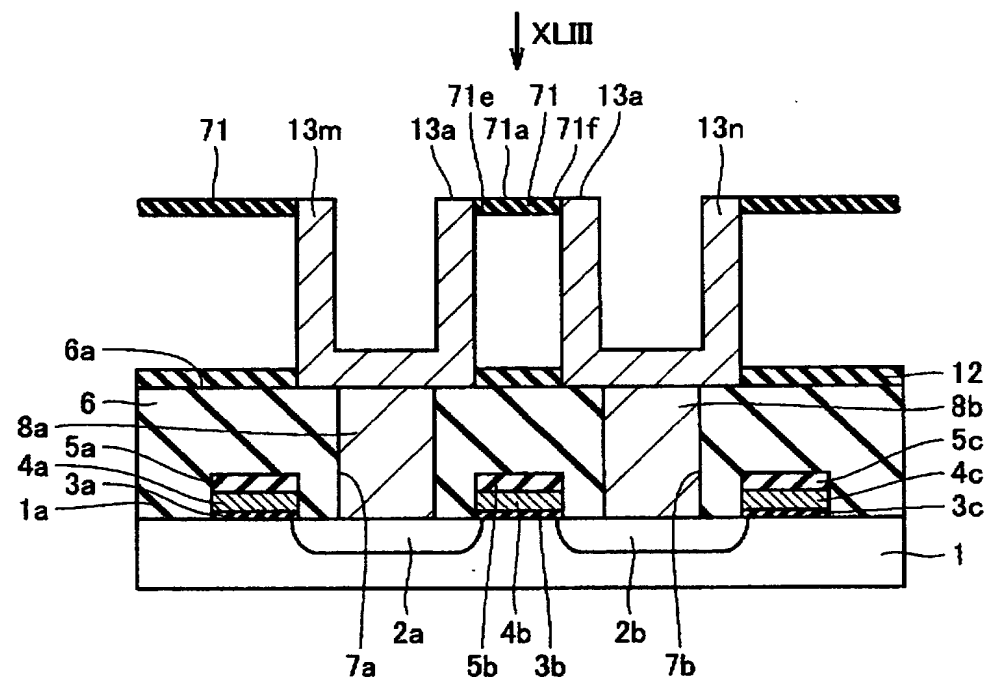
【図 40】



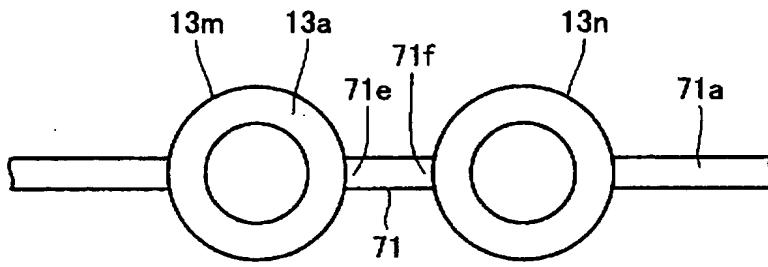
【图 4 1】



【図 4 2】



【図 4 3】



【書類名】 要約書

【要約】

【課題】 半導体装置の微細化を実現するとともに、所望のキャパシタ構造を得ることによって信頼性の高い半導体装置を提供する。

【解決手段】 半導体装置は、主表面 1 a を有するシリコン基板 1 と、頂面 6 a とシリコン基板 1 に達するコンタクトホール 7 とを有し、シリコン基板 1 の主表面 1 a 上に形成された層間絶縁膜 6 と、側面 1 0 b とその側面 1 0 b に連なる頂面 1 0 a とを有し、コンタクトホール 7 を充填する導電膜 1 1 と、導電膜 1 1 の頂面 1 0 a および側面 1 0 b に接触する下部電極 1 3 と、下部電極 1 3 上に形成された誘電体膜 1 4 と、誘電体膜 1 4 上に形成された上部電極 1 5 とを備える。導電膜 1 1 が有する頂面 1 0 a は、シリコン基板 1 の主表面 1 a からの距離がシリコン基板 1 の主表面 1 a から層間絶縁膜 6 の頂面 6 a までの距離よりも大きい位置に設けられている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社